

Estimação de Potência de Controladores Síncronos com Baixa Atividade do Relógio

Jozias Del Rios¹, Rogério Barros¹, Duarte L. Oliveira², Paulo Miguel Novais^{1,3}, Leonardo Romano^{2,4}

¹Curso de Extensão em Engenharia de Armamento Aéreo do Instituto Tecnológico de Aeronáutica – ITA – CEEAA

²Divisão de Engenharia Eletrônica do Instituto Tecnológico de Aeronáutica – ITA – IEAA

Marechal Eduardo Gomes, 50 – CEP 12.228-900 – SJC – SP – Brazil

³Empresa Brasileira de Aeronáutica – EMBRAER – SJC – SP - Brazil

⁴Divisão de Engenharia Elétrica do Centro Universitário da FEI – São Bernardo do Campo – SP – Brazil

Resumo — Neste artigo foi estimada a potência dissipada por controladores síncronos com baixa atividade no sinal de relógio através de simulação Monte Carlo, com vetores binários aleatórios na entrada do controlador. A redução da atividade do relógio é usada para diminuir a potência dissipada no controlador e é obtida através de duas técnicas. Na primeira, o sinal do relógio é inibido quando o controlador encontra uma auto-transição. Na segunda técnica, o controlador opera em ambas as bordas do sinal de relógio, permitindo uma redução de metade da frequência do sinal de relógio com o mesmo tempo de processamento. Foram obtidas reduções de 15% a 55% da potência dissipada pelos controladores síncronos sintetizados, ampliando, por exemplo, o aumento da vida útil de equipamentos eletrônicos alimentados por bateria.

Palavras-Chave — Baixa potência, simulação Monte Carlo, máquinas de estado finito.

I. INTRODUÇÃO

Com a evolução da microeletrônica, cada vez mais são concebidos sistemas digitais de alta complexidade. Uma característica comum em uma parte destes sistemas é o fato de serem alimentados por bateria, e são voltados para diferentes aplicações tais como: comunicação sem fio, computadores portáteis, aplicações aeroespaciais (satélites, mísseis, aeronaves, etc), aplicações médicas, etc. Uma vez que eles são alimentados por bateria, é desejável que a energia da bateria seja economizada para que tenha maior duração, portanto a potência dissipada é um parâmetro muito importante na concepção de tais sistemas [1]. Estes sistemas podem ser implementados por ASIC (*Application Specific Integrated Circuit*) na tecnologia VLSI (*Very Large Scale Integration*) ou programados em dispositivos FPGA (*Field Programmable Gate Array*). Os dispositivos FPGA tornaram-se um meio popular de implementar circuitos digitais e tem crescido consideravelmente, chegando a centenas de milhões de portas lógicas, permitindo assim que sistemas digitais complexos sejam programados [2].

Tradicionalmente, circuitos digitais são implementados com componentes construídos com tecnologia CMOS [3], cuja potência dissipada segue a expressão de (1):

$$P = \frac{1}{2} C_{load} V_{DD}^2 f \alpha + Q_{sc} V_{DD} f \alpha + I_{leakage} V_{DD} \quad (1)$$

J. Del Rios, joziasdelrios@gmail.com, R. Barros, rbarros100@yahoo.com, D. L. Oliveira, duarte@ita.br, P. M. Novaes, paulomig@gmail.com, L. Romano, leoroma@uol.com.br

Sendo P a potência dissipada total média, V_{DD} a tensão de alimentação, f a frequência de operação, α o fator de atividade de comutação e C_{load} a capacitância de carregamento.

Na equação (1), cada termo representa um tipo de potência dissipada, sendo o primeiro termo correspondente à potência dinâmica, o segundo termo relacionado à corrente de curto e o terceiro com a corrente de fuga, relacionada com a potência estática. Na tecnologia digital implementada por transistores CMOS, a maior parcela da potência dissipada ocorre durante a transição de sinais (potência dinâmica) [3], possibilitando uma simplificação em (1) pela desconsideração da segunda e terceira parcelas.

A síntese de máquinas de estado finito (MEF) desempenha um papel importante na concepção de circuitos digitais, pois muitos deles são descritos por uma arquitetura que consiste de uma rede de controladores síncronos e uma via de processamento de dados (*datapath*) [4,5]. Tais MEF são compostas de vários estados e transições entre estados, descritos graficamente por um grafo de transição de estados (GTE).

As técnicas de redução de potência dinâmica são aplicadas nos diferentes níveis do projeto digital [1,6]. Na síntese de controladores síncronos, propostas para reduzir a potência estão sendo oferecidas no nível lógico:

- 1) Controle lógico do relógio (*gated-clock*) [7];
- 2) Sensibilidade a ambas as bordas do relógio [8,9];
- 3) Decomposição do GTE [10,11];
- 4) Assinalamento de estados [12,13];
- 5) Minimização lógica booleana [14,15];

Estudos recentes têm mostrado que o relógio consome uma grande fração (15% a 45%) da potência dinâmica do sistema [7]. Então, a potência do circuito pode ser consideravelmente reduzida se a atividade do relógio for reduzida. Entre as propostas para a redução da potência dinâmica nos controladores síncronos, as duas primeiras propostas são muito interessantes, porém Flip-Flops (FFs) que sejam sensíveis a ambas as bordas do relógio (*double-edge triggered – DET*) não estão presentes nas macro-células FPGA, reduzindo a sua aplicabilidade.

Uma alternativa é realizar uma codificação de estados do controlador que possibilita o particionamento dos FFs em dois bancos. Cada banco é sensível a uma borda do sinal de relógio, de forma que ele seja implementado por FFs

sensíveis a borda simples do sinal de relógio (*single-edge triggered – SET*), que resulta o controlador operar nas duas bordas do relógio. A ferramenta *Syntool* proposta em [16] sintetiza este controlador do tipo Moore na arquitetura alvo apresentada na Fig. 1. Ela extrai o controle lógico do relógio (lógica de inibição), realiza a divisão dos FFs em dois bancos (CLK+, CLK-) e obtém as respectivas lógicas de excitação (ver Fig. 1).

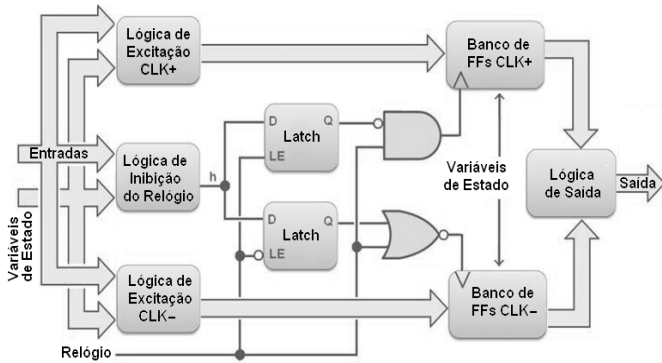


Fig. 1. Arquitetura alvo proposta pela ferramenta.

Neste artigo foi estimada por simulação Monte Carlo a potência dinâmica dissipada por controladores síncronos do tipo Moore sintetizados logicamente pela ferramenta *Syntool* na arquitetura alvo (ver Fig. 1) como também na arquitetura convencional, que usa o procedimento de síntese clássica [17]. Comparamos as potências das duas arquiteturas e a eficácia da ferramenta no seu objetivo de redução da atividade do sinal de relógio.

O restante do artigo está organizado da seguinte forma. Na seção 2 são apresentados alguns conceitos e os algoritmos para o entendimento do método de síntese automática descritos em [16]; na seção 3 é apresentada a metodologia utilizada na simulação Monte Carlo. Finalmente, na seção 4 são apresentados os resultados obtidos.

II. SÍNTESE AUTOMÁTICA: MÉTODO

O controlador com baixa atividade do relógio é uma MEF modelo Moore especificada incompletamente. A ferramenta *Syntool* proposta sintetiza estes controladores usando FFs tipo D. Ela segue o procedimento tradicional e possui quatro passos:

1. Capturar a descrição do controlador em um grafo de transição de estados (GTE). A ferramenta aceita a descrição do GTE no formato KISS2 [18], ou no formato EMS (*Explicit Machine Specification*) [19];
2. Realizar a minimização de estados do GTE usando o algoritmo de particionamento e obtém o GTE_{MIN} [20]. O algoritmo de particionamento que é voltado para especificações completas é modificado para aceitar especificações incompletas. A modificação usa uma heurística para especificar as saídas e entradas *don't-care*;

3. A partir do GTE_{MIN}, realizar a codificação de estados, que é voltada para o particionamento em dois bancos de FFs e gera o GTE_{MIN-COD} (detalhes ver [16]);
4. A partir do GTE_{MIN-COD} realizar a minimização lógica auxiliada pela ferramenta *Espresso* da Universidade de Berkley, que extrai as equações minimizadas de excitação, saída e de inibição na forma soma de produto.

A. Exemplo

Nesta seção ilustramos a síntese automática com o *benchmark seven.ems* [19] (ver Fig. 2). A ferramenta *Syntool* interpreta a especificação GTE no formato KISS2 ou no formato EMS.

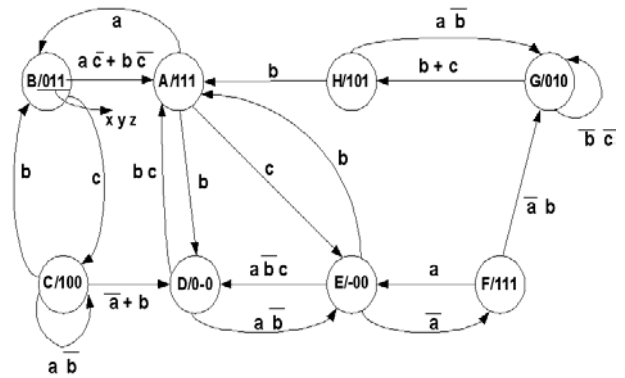


Fig. 2. GTE: Grafo de Transição de Estados (*seven.ems*)

O segundo passo é a minimização de estados. Fig. 3 ilustra o GTE minimizado da máquina *seven*. Os estados *D* e *E* se fundiram.

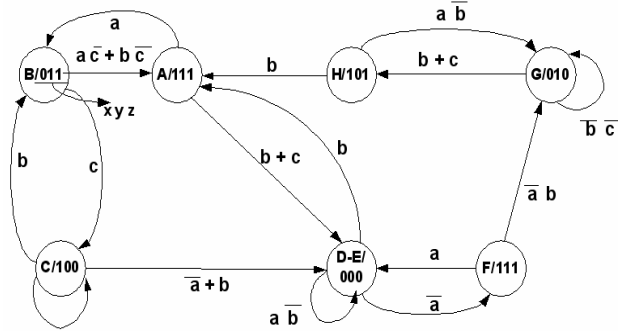


Fig. 3. GTE_{MIN}: Grafo de Transição de Estados Minimizado

O terceiro passo realiza a codificação de estados. Como o objetivo é o particionamento das variáveis de estado em dois bancos (diretamente estão relacionadas com FFs D), para permitir que um banco de FFs opere na borda de subida do relógio e o outro banco com a borda de descida do relógio, um estado *NOP* foi inserido entre os estados *A* e *H* (ver Fig. 4). Este passo necessitou de três variáveis de estado para codificar o GTE_{MIN} (*QP0*, *QM0* e *QM1*) (ver Fig. 4). Sendo que o banco de FFs com relógio (CLK+) contém a variável de estado *QP0*. O banco de FFs com relógio (CLK-) contém as variáveis de estado *QM0* e *QM1*.

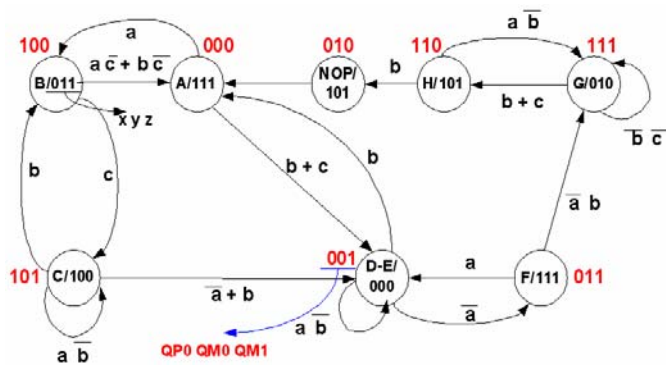


Fig. 4. GTE_{MIN-COD}: Grafo de Transição de Estados Codificado

As transições do relógio CLK+ e CLK- significam respectivamente borda de subida e de descida. Fig. 5 mostra em que borda do sinal de relógio as transições de estado do GTE_{MIN-COD} são processadas.

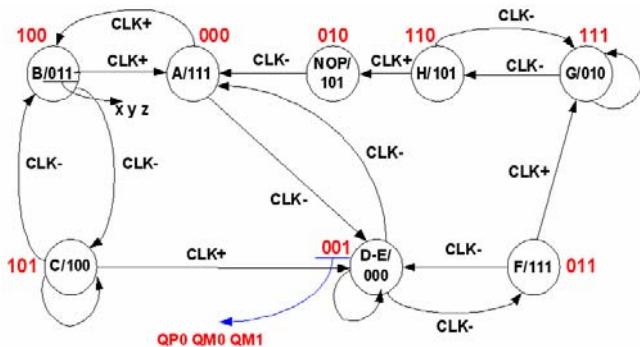


Fig. 5. GTE_{MIN-COD}: sequenciação das transições do relógio CLK.

O quarto e último passo é a minimização lógica. Fig. 6, 7 e 8 mostram respectivamente as três equações de excitação, equação de inibição *h* e as três equações de saída gerada pela ferramenta *Syntool*.

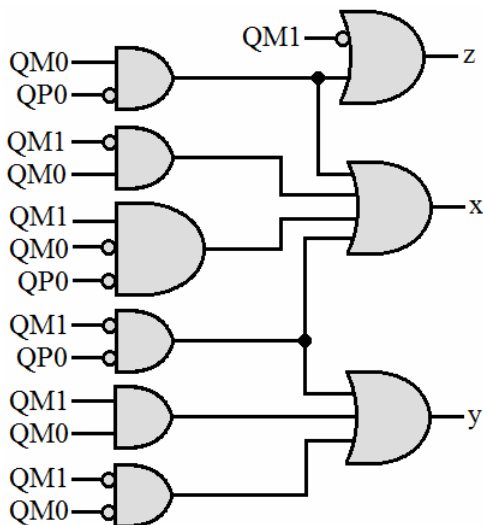


Fig. 6. Circuito - Lógica de saída.

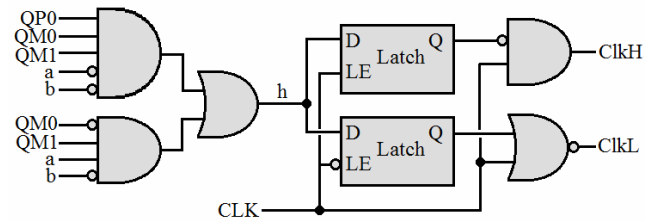


Fig. 7. Circuito - Lógica de inibição de relógio.

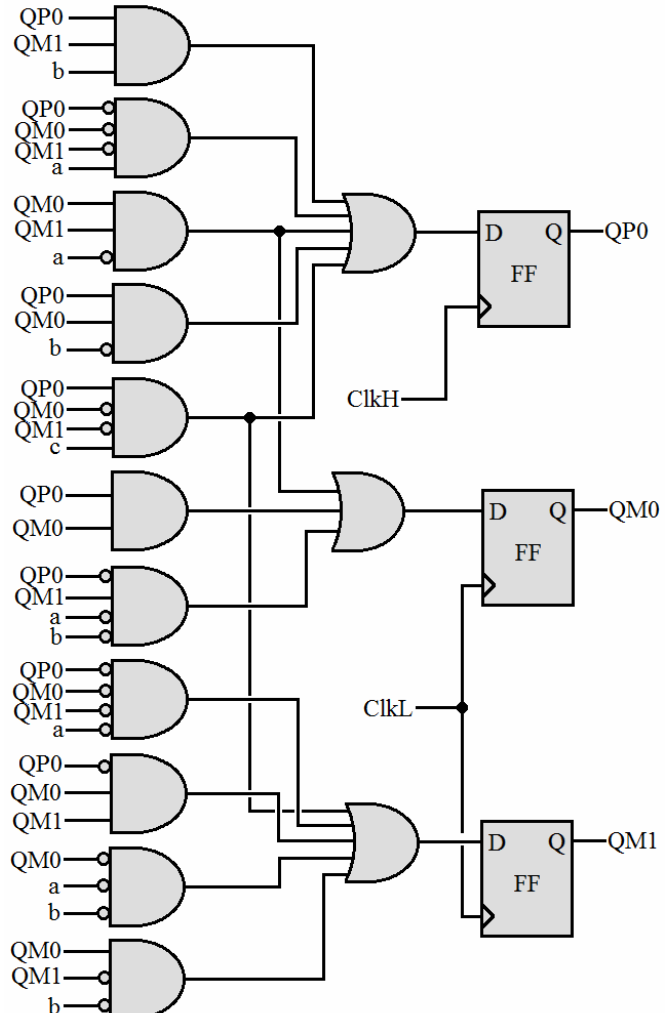


Fig. 8. Circuito: Lógica de excitação e banco de FFs

III. METODOLOGIA DA SIMULAÇÃO

Para estimar a potência dissipada pelo circuito digital resultado da síntese, a ferramenta *Syntool* foi estendida por meio do acréscimo de novas rotinas para executar simulações Monte Carlo com estímulos aleatórios de ruído branco uniforme (*uniform white noise - UWN*) na entrada, propagando os sinais elétricos e verificando a existência de chaveamento de sinal que dissipa potência dinâmica por efeito Joule da corrente de carga e descarga das capacitâncias de carregamento (C_{load}) intrínsecas do circuito CMOS (*Complementary MOS - Metal Oxide Semiconductor*).

O uso de entradas aleatórias na simulação Monte Carlo é a melhor alternativa quando não se tem exemplos de vetor de entradas das MEF ou informações acerca do seu comportamento, pois os resultados obtidos obedecem a uma

distribuição normal [21], que pode ser modelada e usada para garantia de confiança no resultado.

A. Circuito Digital Combinatório

Cada bloco de lógica de excitação presente na Fig. 1 é sintetizado como uma porta lógica *OR* precedida por várias portas *AND*, tantas quantas forem os termos da expressão lógica do bloco. As portas *AND*, por sua vez, podem ser precedidas por portas inversoras (*NOT*) quando o sinal estiver complementado.

B. Capacitância de Carregamento

As capacitâncias de carregamento intrínsecas do circuito são provenientes de três parcelas:

$$C_{load} = C_{out} + C_{wire} + C_{junction} \quad (2)$$

Em que a parcela C_{wire} é devido aos condutores metálicos e depende da largura e comprimento das interconexões, cuja estrutura não se tem no estágio de síntese lógica, pois é resultado da implementação final do circuito VLSI. As outras duas parcelas são tabeladas para cada tecnologia CMOS e processo de fabricação.

O valor de C_{load} para cada porta lógica será atribuído de acordo com o *fan-out*, somando-se a capacitância de entrada de cada elemento conectado à saída da porta lógica, seguindo as atribuições descritas na Tabela I:

TABELA I CAPACITÂNCIA DE ENTRADA DOS ELEMENTOS DO CIRCUITO

Elemento	Unidades de Capacitância
Porta inversora	0
Porta AND e NAND	1
Porta OR e NOR	1
Entrada D do Flip-Flop	4
Entrada de Relógio do Flip-Flop	2
Entrada Q do Latch	1
Entrada LE (<i>Enable</i>) do Latch	2
Saída	1

C. Capacitância Carregada

A partir da expressão simplificada de (1), considerando apenas a parcela dinâmica da potência dissipada, o fator $C_{load}\alpha$ desta parcela simboliza uma média da capacitância de carga ou descarga na simulação:

$$C_{loaded} = C_{load}\alpha = C_{load} \frac{N_T}{N_C} \quad (3)$$

Sendo N_T o número de chaveamento (trocas) do sinal lógico durante N_C ciclos do relógio e C_{loaded} a capacitância total que recebeu ou devolveu energia efetivamente, pelo chaveamento de um sinal digital após estímulo aleatório.

Excetuando-se o fator $C_{load}\alpha$, os outros fatores (frequência f e tensão de alimentação V_{DD}) da parcela não interferem na análise comparativa deste artigo, por serem os mesmos tanto para a simulação por síntese convencional, quanto pelo método proposto em [16].

A soma da capacitância carregada C_{loaded} de todo o circuito é a variável a ser estimada pela simulação, a fim de obter a energia total dissipada no circuito para um estímulo aleatório em um estado aleatório. A variável C_{loaded} será estimada de forma normalizada em unidades de capacitância que foi carregada ou descarregada.

D. Seqüência de Eventos da Simulação

A simulação parte de uma condição inicial com um vetor binário aleatório e uniforme de entrada e um estado aleatório. Em seguida, um novo vetor de entrada também aleatório, uniforme e estatisticamente decorrelacionado com o primeiro é aplicado ao circuito sintetizado, ocorrendo chaveamento de sinais nas saídas das portas lógicas dos blocos de excitação dos FFs e da lógica de inibição do relógio.

Após a nova entrada ser aplicada ao circuito, o sinal do relógio é chaveado, gerando uma borda (de subida ou descida) que também dissipa energia na entrada dos FFs se a saída da lógica de inibição de relógio (sinal h na Fig. 1) for zero, habilitando o relógio para chegar ao banco de FFs. Neste momento a máquina pode transitar para outro estado, com outro vetor de variáveis de estado e chavear novamente os sinais nas lógicas de excitação de Flip-Flop, dissipando energia pela segunda vez nestes blocos. Na Fig. 9 observa-se a seqüência dos eventos:

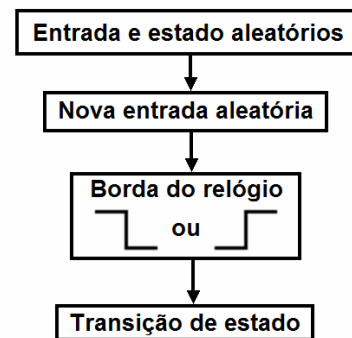


Fig. 9. Eventos de cada simulação.

Para cada simulação é obtida a capacitância total de carga e descarga, C_{loaded} através da soma das capacitâncias carregadas e descarregadas na simulação Monte Carlo do circuito.

E. Processo de Estimção de Potência

O processo é iterativo, em que cada iteração consiste em repetir mil vezes a simulação Monte Carlo. A média C_n , relativa a n -ésima iteração, é determinada por:

$$C_n = \frac{1}{1000} \sum_{i=1}^{1000} C_{loaded}(i) \quad (4)$$

A iteração deve ser repetida até que uma precisão desejada seja atingida com um nível de confiança determinado. O procedimento é explicado pelo algoritmo ilustrado na Fig. 10.

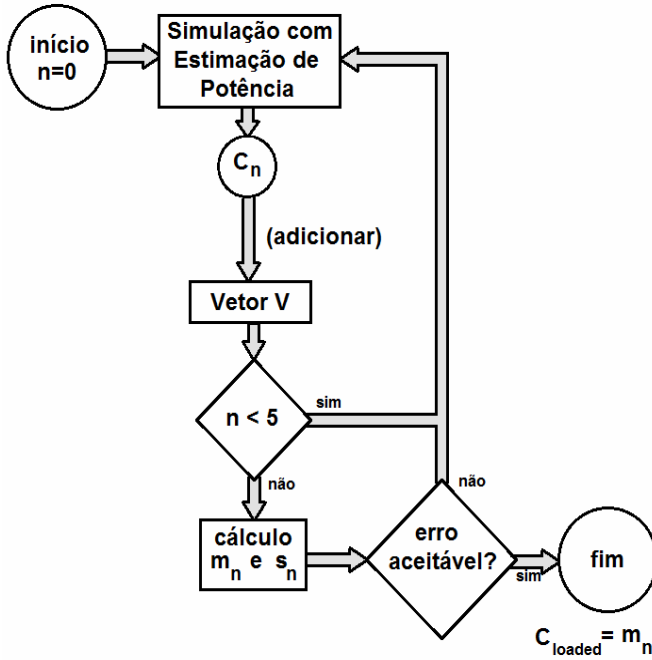


Fig. 10. Algoritmo do processo para determinar condição de parada.

O processo executa inicialmente pelo menos cinco iterações (totalizando 5000 simulações Monte Carlo) antes de verificar a condição de parada, para evitar que as primeiras estimativas interrompam o processo prematuramente de forma a prejudicar a confiança do cálculo do erro.

F. Estatística do Processo

A potência total dissipada provém de uma soma de dissipações locais no circuito, logo, pelo teorema do limite central, a distribuição da potência total é aproximadamente normal [22] e C_n terá a mesma distribuição por causa da linearidade:

$$\hat{P}_{dynamic} = \frac{1}{2} V_{DD}^2 f C_n \quad (5)$$

Vetores de entrada uniforme e aleatoriamente distribuídos (UWN) pelo seu espaço amostral possibilitam uma estimação das potências dissipadas (obtidas indiretamente por (5) e pelas capacitâncias médias C_n) que converge para o valor verdadeiro da potência dissipada do circuito quanto mais simulações forem realizadas [23].

Seja V_n o vetor formado pelas capacitâncias médias até a n -ésima iteração do processo da Fig. 10, então:

$$V_n = \{C_i ; 1 \leq i \leq n\} \quad (6)$$

A média m_n e desvio padrão s_n obtidos do vetor V_n são relacionados à distribuição do tipo t -Student, e à distribuição χ^2 , respectivamente, através de (7-10).

$$m_n = \frac{1}{n} \sum_{i=1}^n C_i \quad (7)$$

$$s_n^2 = \frac{1}{n-1} \sum_{i=1}^n (C_i - m_n)^2 \quad (8)$$

$$\sqrt{n} \left(\frac{m_n - \mu}{s_n} \right) \approx t_{n-1} \quad (9)$$

$$(n-1) \frac{s_n^2}{\sigma^2} \approx \chi_{n-1}^2 \quad (10)$$

Sendo μ a capacitância relacionada por (5) com o valor real da potência dissipada que se deseja estimar, e σ o desvio padrão real desta estimativa, supondo um vetor V_n para n cada vez maior.

Equações (7) e (8) calculam a estimativa da média e do desvio padrão respectivamente, enquanto (9) sugere como garantir que o erro da estimativa seja limitado, dado um índice de confiabilidade. De fato, em [21] obtém-se que para um nível de confiabilidade α deve-se iterar o processo até que seja satisfeita a condição de (11).

$$\frac{t_{\alpha/2, n-1} s_n}{\sqrt{n} m_n} < \epsilon \quad (11)$$

Em que $t_{\alpha/2, n-1}$ é o valor acumulado da distribuição t -Student de $n-1$ graus de liberdade até a cota $\alpha/2$; e ϵ é o erro máximo desejado na estimação do valor.

Quando (11) for verdade, o processo de estimação de potência dissipada deve ser interrompido, originando uma potência média.

IV. RESULTADOS E DISCUSSÕES

Foram sintetizados logicamente pela ferramenta *Syntool* alguns controladores síncronos como *benchmark*. Os controladores foram sintetizados pela arquitetura proposta em [16] e também pelo método convencional, para em seguida serem simulados por Monte Carlo, obtendo a capacitância de carregamento com erro máximo 0,5% e nível de confiabilidade 95%. Cada controlador foi comparado e na última coluna da Tabela II, tem-se o consumo relativo de energia do controlador sintetizado pela arquitetura proposta em relação à arquitetura convencional.

As colunas E, I e O da Tabela II indicam respectivamente o número de estados, de entradas e de saídas do controlador. A coluna "Prop." mostra a capacitância estimada carregada (C_{loaded}) para o método proposto em [16]. Analogamente, a coluna "Conv." traz o mesmo resultado para o controlador sintetizado pelo método clássico. As colunas " n " indicam quantas iterações foram necessárias para garantir a margem de erro 0,5% com confiança de 95% para o número que foi estimado na coluna à esquerda.

TABELA II RESULTADOS DE ESTIMAÇÃO DE POTÊNCIA

Controlador	E	I	O	Prop.	n	Conv.	n	%
<i>Six</i>	6	3	2	16,620	9	19,502	5	85,2%
<i>Seven</i>	7	3	3	29,040	8	34,428	10	84,3%
<i>Beecount</i>	9	3	4	28,246	6	34,603	5	81,6%
<i>Dumbbell</i>	8	2	2	15,643	8	25,875	5	60,5%
<i>Mc</i>	8	3	5	17,857	10	40,252	9	44,4%
<i>Shiftreg</i>	8	1	1	20,920	9	30,936	9	67,6%
<i>Bbtas</i>	9	2	2	16,897	10	29,451	5	57,4%
<i>Gander025a</i>	10	3	3	19,256	14	30,234	7	63,7%
<i>Complex</i>	11	3	3	27,145	5	50,353	8	53,9%
<i>Mark1</i>	14	5	16	49,320	7	76,888	7	64,1%
<i>Bbara</i>	12	4	2	24,322	13	25,140	11	96,7%
<i>Big</i>	18	5	4	71,389	9	93,982	7	75,9%
<i>Tma</i>	20	7	6	57,483	10	84,353	5	68,1%
<i>Pma</i>	24	8	8	78,251	7	131,571	9	59,5%

Pelos resultados apresentados na Tabela II, percebe-se que os controladores sintetizados pela ferramenta *Syntool* pela arquitetura proposta dissipam, na média, **66,6%** da energia que seria dissipada pelo controlador sintetizado pelo modo clássico.

O controlador *Bbara*, por ser muito interconectado, isto é, um alto número de transições para cada estado do GTE, teve a síntese degenerada pelo método proposto, reduzindo drasticamente a eficácia da arquitetura alvo (ver Fig. 1) na tentativa de reduzir a atividade do relógio.

O maior número de iterações do processo descrito pela Fig. 10 que foi necessário ocorreu para o controlador *Mark1*, com 16 iterações, exigindo 16000 simulações Monte Carlo, e justificando o uso da distribuição *t-Student*, aplicável para um número pequeno de amostras, tipicamente menor que 60. Para um número grande de amostras, a distribuição normal seria mais adequada.

V. CONCLUSÃO

Neste artigo foram estimadas por simulação Monte Carlo as potências dinâmicas dissipadas de alguns controladores síncronos sintetizados pela ferramenta *Syntool* segundo uma arquitetura que reduz a atividade do sinal de relógio através da inibição do relógio em auto-transições e separação dos FFs em dois bancos, sensíveis cada um a uma borda do sinal de relógio.

Em comparações feitas pela simulação, observou-se que a redução do sinal de relógio pelo método proposto conseguiu reduzir de 15 a 55% a potência dissipada do controlador em relação à síntese convencional, sendo portanto um método prático para controladores síncronos com média ou baixa inter-conectividade entre os estados. A redução de potência em dispositivos eletrônicos é importante para conservar a carga da bateria e prolongar a usabilidade de um equipamento portátil.

Foi utilizado o teste de *t-Student* para modelar e controlar o erro da estimação de potência pela simulação Monte Carlo, conseguindo-se boa confiabilidade nos resultados.

Para trabalhos futuros, sugere-se efetuar a estimação de potência dos controladores através de métodos probabilísticos para confirmar a eficácia do método, bem como buscar o desenvolvimento de novos algoritmos, que usem de heurística, para ampliar a aplicabilidade da ferramenta *Syntool* em controladores síncronos de centenas de estados.

REFERÊNCIAS

- Li-Chuan Weng, X. J. Wang, and Bin Liu, "A Survey of Dynamic Power Optimization Techniques," Proc. Of the 3rd IEEE Int. Workshop on System-on-Chip for Real-Time Applications, pp. 48-52, 2003.
- J. J. Rodriguez, et al., "Features, Design Tools, and Applications Domains of FPGAs," IEEE Trans. On Industrial Electronics, vol. 54, no 4, pp. 1810-1823, August, 2007.
- F. Najm, "A Survey of Power Estimation Techniques in VLSI Circuits," IEEE Trans. On VLSI Systems, vol. 2, no. 4, pp.446-455, December 1994.
- L. Jozwiak, et al., "Multi-objective Optimal Controller Synthesis for Heterogeneous embedded Systems," Int. Conf. on Embedded Computer Systems: Architectures, Modeling and Simulation, pp. 177-184, 2006.
- H. Hsieh, F. Balarin et al. "Synchronous approach to the Functional Equivalence of Embedded System Implementations," IEEE Trans. On CAD of Int. Circuits and Systems, vol.20, no.8, pp.1016-1033, August 2001.
- S. Devadas and S. Malik, "A Survey of Optimization Techniques Targeting Low Power VLSI Circuits," Proc. 32nd ACM/IEEE DAC, pp.242-247, 1995.
- Q. Wu, M. Pedram, and X. Wu, "Clock-Gating and Its Application to Low Power Design of Sequential Circuits," IEEE Trans. On Circuits and Systems-I: Fundamental Theory and Applications, vol. 47, no.103, pp.415-420, March 2001.
- G. M. Strollo et al., "Power Dissipation in One-Latch and Two-Latch Double Edge Triggered Flip-Flops," Proc. 6th IEEE Int. Conf. on Electronic, Circuits and Systems, pp.1419-1422, 1999.
- S. H. Rasouli, A. Kahadmezadeh and et al. "Low-power single- and double-edge-triggered flip-flops for high-speed applications," IEE Proc. Circuits Devices Syst., vol. 152, no. 2, pp.118-122, April 2005.
- J. C. Monteiro and A. L. Oliveira, "Implicit FSM Decomposition Applied to Low-Power Design," IEEE Trans. on VLSI Systems, Vol. 10, No. 5, pp.560-565, October 2002.
- B. Liu, et al., "FSM Decomposition for Power Gating Design Automation in Sequential Circuits," 76th Int. Conf. on ASIC, ASICON, pp.944-947, 2005.
- P. Baccheletta et al. "Low-Power State assignment Techniques for Finite State Machines," IEEE Int. Symposium on Circuits and systems, Geneva, Switzerland, pp.641-644, May 2000.
- S. Chattopadhyay, et al. "State Assignment and Selection of Types and Polarities of Flip-Flops, for Finite State Machine Synthesis," IEEE India Conf. (INDICON), pp.27-30, 2004.
- J.-Mou Tseng and J.-Yang Jou, "A Power-Driven Two-Level Logic Optimizer," Proc. Of the ASP-DAC, pp.113-116, 1997.
- H. Choi and S. Ho Hwang, "Improving Two-Level Logic Minimization Technique for Low Power Driven Multi-Level Logic Re-Synthesis," Proc. 40th Midwest Symposium on Circuits and systems, pp.1026-1029, 1997.
- J. Del Rios, D. Oliveira, e L. Romano, "Síntese Automática de Controladores Síncronos com Baixa Atividade do Relógio", XI SIGE Simpósio de Aplicações Operacionais em Áreas de Defesa, ITA - SJC, 2009.
- R. H. Katz, Contemporary Logic Design, The Benjamin/ Cummings Publishing Company, Inc., 2^a edition 2003.
- D. L. Oliveira, et al., "Synthesis of Low-Power Synchronous Controllers using FPGA Implementation," IEEE IV Southern Conference on Programmable Logic, pp.221-224, 2008.
- Jozias Del Rios, et. al., "Automação do Projeto de Circuitos Controladores Síncronos de Baixa Potência," Relatório Técnico - ITA Junior, 2008.
- E. J. MacCluskey, Logic Design Principles With Emphasis on Testable Semicustom Circuits, Prentice-Hall, 1986
- P. A. Comiskey, et. al., "LLAMA: A Monte Carlo Power Estimation Tool", ISSC, 2004.
- Y. Viniotis, "Probability and Random Processes for Electrical Engineers", McGraw-Hill, New York, 1998.
- C. Huizer, "Power dissipation analysis of CMOS VLSI circuits by means of switch-level simulation", IEEE European Solid State Circuit Conference, Grenoble, França, pp.61-64, 1990.