

Interface para Monitorar o Tráfego de Informações em um Barramento 1553 sintetizada em FPGA

Matheus Alvarenga, Carlos H Machado S Esteves e Roberto d'Amore
 Instituto Tecnológico de Aeronáutica, São José dos Campos – SP

Resumo — Este artigo apresenta uma descrição em VHDL para atuar como um monitor de barramento de acordo com a norma MIL – STD 1553B bem como simular um terminal acoplado a este barramento. A descrição foi sintetizada em um dispositivo lógico programável (FPGA) e os resultados dos testes são apresentados neste artigo. A comunicação entre o usuário e o sistema projetado é realizada através de uma interface especialmente desenvolvida para esta operação.

Palavras-Chave — MIL – STD 1553B, FPGA, VHDL.

I. INTRODUÇÃO

O barramento 1553, MIL – STD 1553B [1], foi proposto com o objetivo de suprir a necessidade de simplificação de comunicação entre o crescente aumento de aviônicos embarcados nas aeronaves.

Na Força Aérea Brasileira (FAB) diversos aviões utilizam este barramento, tais como A-1 (AMX), A-29, R-99A assim como o F-5 BR que se encontra em processo de modernização.

Atualmente, uma grande parte dos equipamentos embarcados em aeronaves, incluindo armamento aéreo moderno, emprega dispositivos lógicos programáveis (FPGAs) e a comunicação com o barramento 1553B é feita através de um componente dedicado. A implementação da interface 1553 em FPGAs já existentes elimina a necessidade deste componente dedicado, reduzindo custos e número de componentes, aumentando a confiabilidade do sistema.

Poucas propostas de trabalho nesta área são encontradas na literatura: *Intelligent Node of 1553 Bus Based on Gigabit Ethernet Protocol* [2], que tem por objetivo a interação entre o barramento 1553B e protocolos de alta velocidade; *Design of 1553B Avionics Bus Interface Chip Based on FPGA* [3], o qual apresenta um código na linguagem de descrição de circuitos VHDL para comunicação com o barramento 1553B, utilizando-se para este fim de um dispositivo lógico programável, contudo sem apresentar resultados de implementação, limitando-se apenas a demonstrações em ambiente de simulação. Outros trabalhos visam o tratamento do barramento 1553B através placas de comunicação [4], fugindo assim ao foco deste artigo: uma descrição em VHDL sintetizável em FPGA.

O fabricante de dispositivos lógicos programáveis Actel [5], disponibiliza para venda *cores* como o *bus monitor* que operam as funcionalidades descritas no protocolo MIL – STD 1553B.

Neste trabalho é tratado o processo de codificação e decodificação do código Manchester II utilizado pelo padrão MIL – STD -1553B com o intuito de caracterizar o

tratamento completo dos sinais do barramento e não somente da implementação do seu protocolo, visando assim a não necessidade de dispositivos intermediários de codificação decodificação. Foi desenvolvida também uma interface programável que permite ao usuário definir as principais características do terminal que se deseje simular como endereço e dados a serem respondidos.

No item II é apresentado o projeto do sistema: diagramas de blocos funcionais descritos em VHDL que em conjunto operam de acordo com as normas do protocolo MIL-STD 1553B traduzindo as mensagens oriundas do barramento para o formato digital. O item III contém os resultados práticos do sistema implementado assim como a simulação de um terminal programado pelo usuário através de um código em Matlab que executa as operações de uma interface simples e funcional. Os itens IV e V contêm os agradecimentos e conclusões respectivamente.

II. PROJETO DO SISTEMA

O princípio do sistema projetado consiste na identificação do código Manchester II utilizado pelo barramento 1553B como dois canais distintos representativos do mesmo. A ideia consiste em dividir o sinal em dois canais, o primeiro passando apenas os valores positivos do código Manchester II e o segundo apenas os valores negativos, conforme pode ser visto na Fig. 1. Esta abordagem facilita a decodificação do código uma vez que o próprio barramento fornece dois canais invertidos, um com o próprio código Manchester II e o outro com o seu valor oposto, necessitando apenas eliminar os valores negativos destes canais para se obter os canais 1 e 2 desejados.

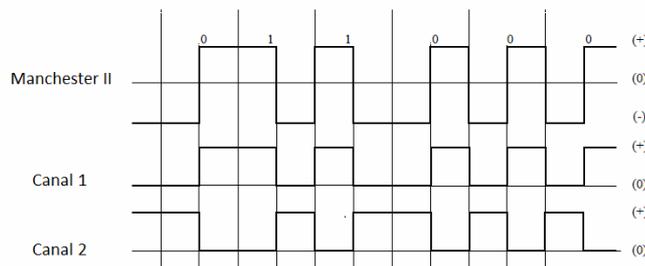


Fig. 1. Divisão do sinal Manchester II em canal 1 e canal 2 [6].

A etapa de monitoramento do barramento identificada pela descrição em VHDL denominada *bus monitor* é apresentada na Fig. 2. Nessa imagem podemos identificar os diversos blocos que a constituem e os sinais que trocam informações entre estes com o objetivo final de enviar, de

forma serial, blocos de informações para um computador externo. As informações enviadas são tratadas por um programa escrito em Matlab que permite ao usuário monitorar as palavras que estão trafegando no barramento em tempo real e de forma digital.

O bloco principal deste componente é o denominado CODIFICADOR, a sua função é traduzir a sequência e duração dos novos canais 1 e 2 que carregam o formato traduzido do código Manchester II de acordo com o novo padrão estabelecido neste trabalho, traduzindo o sinal para a sua representação digital de 0/1.

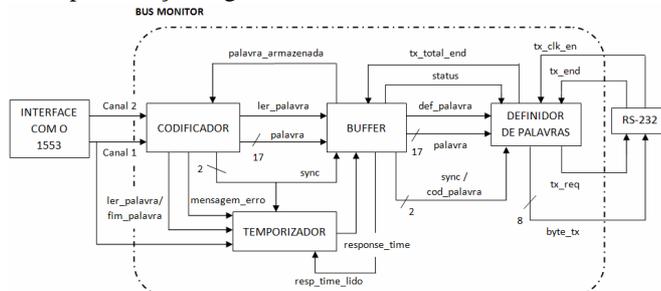


Fig. 2. Detalhamento da descrição Bus Monitor [6].

O processo de identificação dos canais (1 e 2) e de sua análise de acordo com o tipo de palavra transmitida no barramento (análise do pulso de sincronismo determinado pela MIL – STD 1553B) e as informações presentes em cada palavra é feita por: amostragem e duração de cada canal; e a ordem com que os mesmos são identificados. A Fig. 3 ilustra a análise do pulso de sincronismo no canal 1. O círculo com o valor unitário em seu interior é referente ao fluxograma da avaliação para as demais informações da palavra que não sejam o pulso de sincronismo.

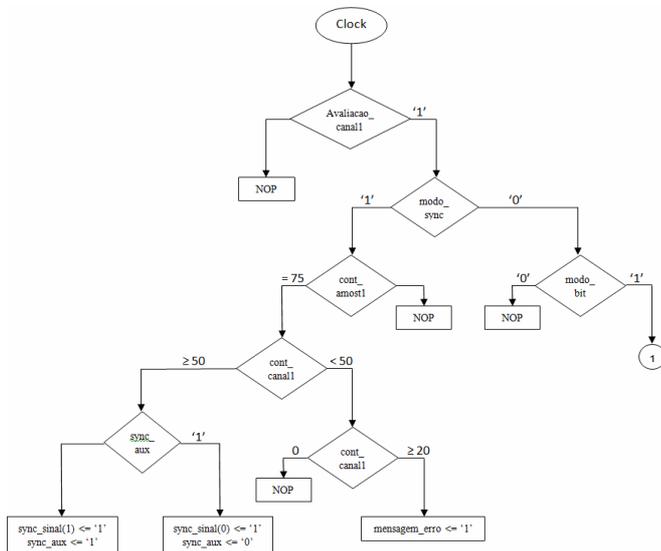


Fig. 3. Fluxograma de avaliação do canal 1 referente ao pulso de sincronismo [6].

A mesma avaliação é feita de forma análoga no canal 2 e também para o restante de informação da palavra após o pulso de sincronismo novamente em ambos os canais, modificando-se essencialmente a quantidade de amostragens

que se refere ao tempo de duração de cada canal estabelecido pelo MIL – STD 1553B.

Um detalhe importante a ser mencionado é que a quantidade de amostragens obtidas é sempre comparada com um contador de tempo acionado para averiguar a presença de valores relevantes nos canais eliminando os ruídos. Outros aspectos do sinal são também averiguados, como por exemplo, continuidade do mesmo e tempo de duração dos pulsos (menor ou maior do que o estipulado pela norma MIL-STD 1553B).

Os demais blocos apesar de não terem a função principal de traduzir os sinais dos canais 1 em 2 em formas digitais são responsáveis pelo: armazenamento das palavras agora formadas em sequências de informações binárias (bloco denominado BUFFER); diferenciação entre palavras de pulso de sincronismo iguais, como é o caso de palavras de comando e status [1] (bloco TEMPORIZADOR); e empacotamento das palavras em um formato estabelecido para reconhecimento pelo programa externo de monitoramento, permitindo que após a transmissão serial possa-se reproduzir as palavras de acordo com a norma MIL – STD 1553B (bloco DEFINIDOR DE PALAVRAS).

A etapa referente ao simulador de terminal é representada em um diagrama de blocos na Fig. 4

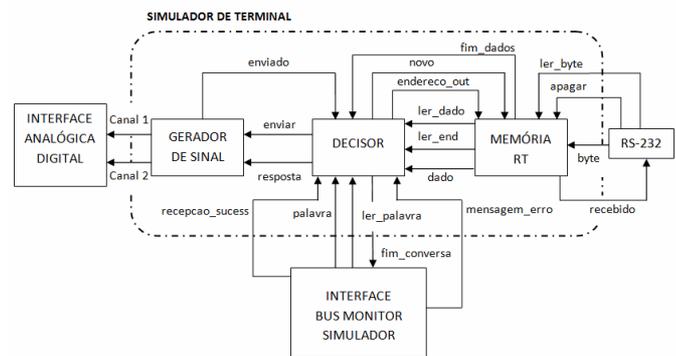


Fig. 4. Detalhamento da descrição Simulador de terminal [6].

O simulador armazena os dados de um terminal a ser simulado, sendo estes dados programados por um usuário externo através de uma interface de usuários. Os dados deste terminal simulado, tais como endereço do mesmo e dados a serem respondidos, são todos transmitidos serialmente do computador para a placa FPGA através de um padrão pré-estabelecido [6] sendo então armazenado no bloco MEMORIA. A partir de então, o simulador de terminal atua independente como um terminal acoplado ao barramento.

O simulador depende do processo de monitoramento para tradução dos sinais presentes nos canais 1 e 2 para o formato digital de acordo com o código Manchester II. Para um melhor desempenho há uma interface que apenas apresenta as palavras monitoradas no caso em que há um terminal simulado e simultaneamente o terminal não esteja já conversando, evitando assim falhas.

O bloco DECISOR é o responsável pela averiguação da correlação entre o endereço requisitado pela palavra de comando e àquele simulado pelo usuário externo. Ao identificar equivalência entre os endereços, o bloco passa a requisitar as palavras de dados do bloco MEMORIA,

palavras estas que serão a resposta à palavra de comando de acordo com o que for programado pelo usuário, controlando ainda o seu envio para o bloco GERADOR DE SINAL de acordo com as especificações da norma [1].

O bloco GERADOR DE SINAL passa a ser o último passo entre a descrição em VHDL denominada simulador de terminal e o barramento 1553B. Sua função é converter o formato digital das palavras para o formato especificado de canais 1 e 2 em acordo com o código Manchester II. Em suma, sua função é equivalente ao processo inverso do bloco CODIFICADOR apresentado na descrição do *bus monitor*.

III. RESULTADOS PRÁTICOS

Os testes iniciais foram realizados no próprio ambiente de síntese, ou seja, em uma primeira etapa não se conectou a placa contendo o FPGA no barramento 1553B, testou-se o funcionamento da descrição depois de sintetizada de forma que os canais 1 e 2 recebessem sinais de acordo com o esperado para os mesmos, sem que um circuito externo tivesse a necessidade de tratar o sinal no formato Manchester II proveniente do barramento.

Os resultados obtidos mostram que a descrição sintetizada respondia às palavras de comando quando dirigidas aos terminais simulados com o mesmo endereço e as ignorava caso os endereços diferissem. A Fig. 5 demonstra este resultado.

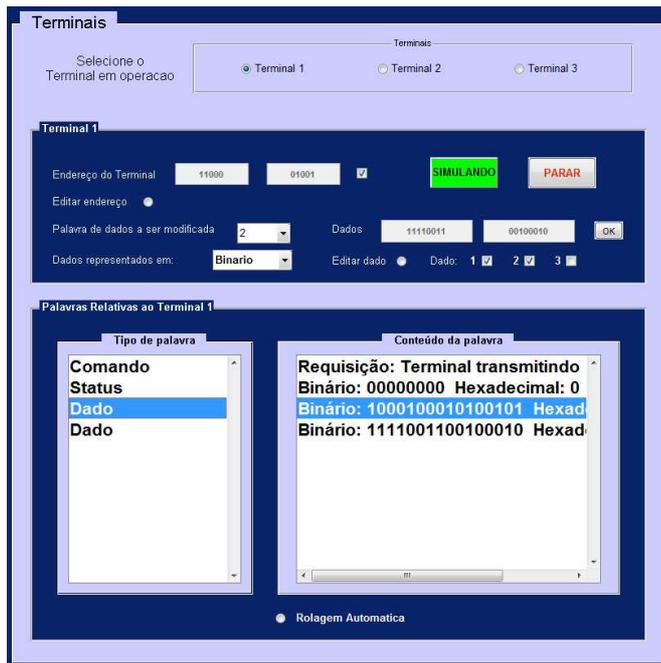


Fig. 5. Terminal simulado respondendo [6].

A Fig. 5 não compõe a interface completa visualizada pelo usuário. A título de melhor ilustrar o resultado mostrou-se somente a parte referente aos terminais, na qual podem ser vistos os dados do terminal simulado, como endereço e dados a serem respondidos quando solicitado. Uma segunda parte da interface refere-se ao monitor do barramento, que independe das palavras serem ou não direcionadas ao terminal simulado. Na parte da interface denominada

Terminais (Fig. 5) é visualizado da parte central para a inferior um monitor simples de barramento, que apresenta as palavras referentes ao terminal sendo simulado.

O resultado completo obtido quando simulado um terminal, bem como o monitoramento do barramento ainda não mostrado pode ser visto na Fig. 6. Nela pode ser percebido que a parte referente ao monitor do barramento 1553B apresenta as palavras de forma mais completa, ou seja, a palavra averiguada é mostrada já separada de acordo com o significado de cada bit [1], facilitando assim a visualização e o monitoramento por parte do usuário.

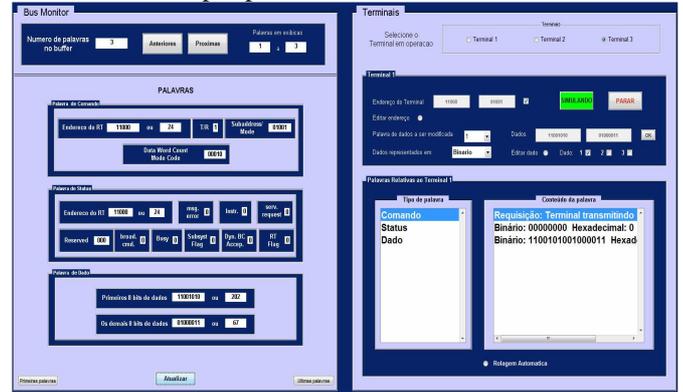


Fig. 6. Interface completa do usuário em funcionamento [6].

A próxima etapa do conjunto de testes consistiu na averiguação do projeto em funcionamento com o barramento 1553B conforme desejado.

O primeiro passo foi comprovar o monitoramento do barramento uma vez que o simulador de terminal em si depende do monitoramento de forma correta. Para tanto, necessitava-se transformar os sinais Manchester II e o seu inverso nos canais 1 e 2 através da eliminação de seus valores negativos. Para tanto se utilizou o circuito da Fig. 7 que aliado a esta função busca isolar o barramento para não interferir no mesmo.

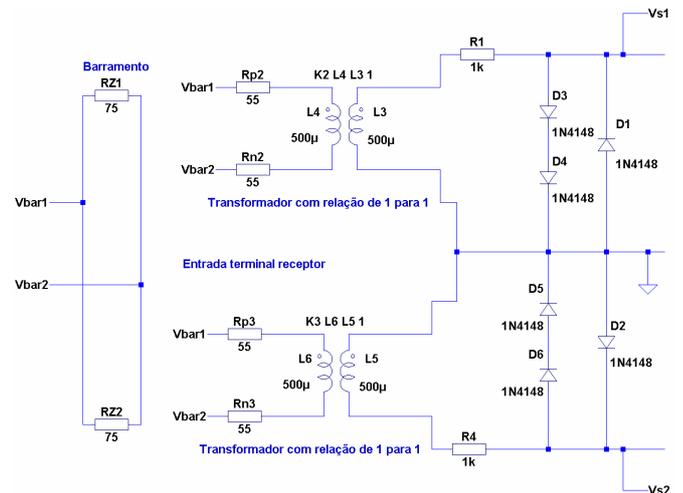


Fig. 7. Sistema para condicionar o sinal do barramento [6].

Após ser realizada a montagem do circuito acima, utilizou-se um monitor de barramento para comparar resultados. Os equipamentos utilizados para este fim foram fornecidos pelo laboratório de Guerra Eletrônica do DCTA,

sendo eles: Notebook com analisador de barramento 1553 BTP-1553-2MW [7]; e sistema de análise de barramento PASS3200 [8]. Obtendo-se então resultados de acordo com o esperado, passou-se para a segunda etapa que consistia em simular o terminal. A Fig. 8 apresenta a placa contendo a FPGA com a descrição em VHDL sintetizada, conectada ao computador e ao fundo um osciloscópio próprio para a visualização de palavras transitando no barramento 1553B.

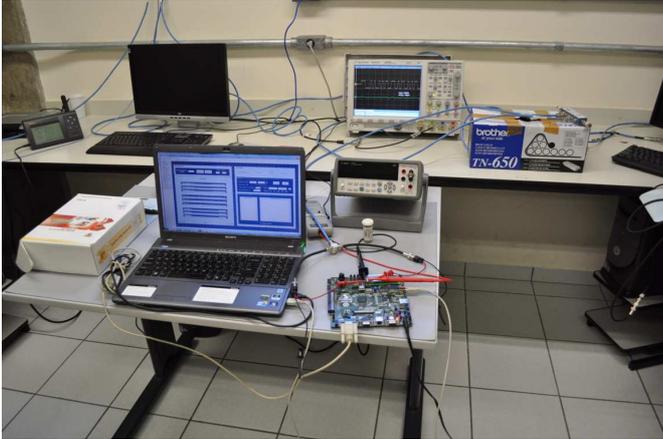


Fig. 8. Teste equivalência dos canais 1 e 2 e a norma MIL-STD 1553B [6].

Conforme pode ser visto em na Fig. 8 no osciloscópio Agilent DSO7054 com pacote de aplicação STD-1553, o sinal gerado pela placa contendo a FPGA condiz com o padrão Manchester II especificado pela norma MIL-STD 1553B, o qual foi reconhecido pelo equipamento de monitoramento do barramento 1553 resultado contido na Fig. 9.

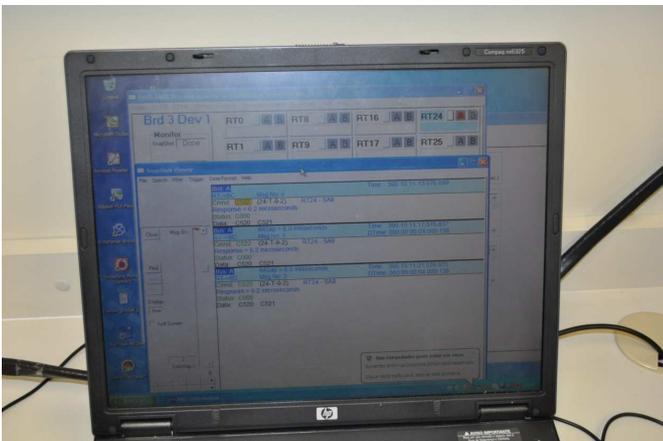


Fig. 9. Reconhecimento do padrão do barramento 1553B gerado pela placa de FPGA [6].

IV. AGRADECIMENTOS

Agradecemos ao Suboficial Pedro Carlos da Silva Euphrásio e ao técnico Felipe Stretenberg Ivo do Laboratório pelos valiosos comentários durante as fases de teste e auxílio na operação dos equipamentos. Reconhecemos também o apoio do Laboratório de Guerra Eletrônica do DCTA que foi fundamental para a elaboração dos testes do protótipo implementado.

V. CONCLUSÕES

Os resultados obtidos atingiram uma etapa mais avançada em relação aos apresentados em [2] e [3], pois aliam questões de monitoramento com resultados práticos para validar o trabalho.

O processo de avaliação de dois canais mostrou-se um simplificador eficaz do processo de decodificação do código Manchester II. Devido a semelhança entre as análises realizadas, um corpo de descrição em VHDL com pequenas modificações referentes à temporização foi suficiente para cobrir os casos possíveis, levando ao passo seguinte do processo que consiste basicamente em uma avaliação da ordem em que se recebe os sinais dos canais 1 e 2. Estas premissas simplificaram a descrição de forma a atender as especificações do protocolo.

O simulador de terminal sustentado pelo funcionamento devido do monitor de barramento pôde atingir sua finalidade, mostrando a característica de ser passível de programação por um usuário externo através de uma interface simples e ser capaz de gerar o sinal de acordo com o código Manchester II e a norma MIL-STD 1553B.

A descrição completa de todos os blocos descritos, bem como daqueles referentes às interfaces mencionadas pode ser encontrado com maior detalhamento em [6], apresentando de forma mais completa os sinais provenientes de cada bloco, sua função e a metodologia empregada assim como os resultados de simulação obtidos antes dos resultados práticos.

REFERÊNCIAS

- [1] MIL – STD – 1553 Bus: interface standard for digital time division command/response multiplex data bus. Disponível em: <http://www.interfacebus.com/Design_Connector_1553.html>. Acesso em 15 Nov. 2011.
- [2] PENG A. Intelligent node of 1553B bus based on gigabit ethernet protocol. In: WORLD CONGRESS ON INTELLIGENT CONTROL AND AUTOMATION, 8., 2010. Proceedings... [S.l.: s.n.], 2010.
- [3] YANG, DUWEI; ZHOU, JIANZHONG; ZHAN, LEI, "Implementation of communication board based on 1553B bus," 2007 8th International Conference on Electronic Measurement and Instruments, ICEMI, p 1837-1840, 2007, 8th International Conference on Electronic Measurement and Instruments, ICEMI.
- [4] J. LI, M. CHAI M, "Design of 1553B avionics bus interface chip based on FPGA". IEEE. In: Electronics, Communications and Control (ICECC), 2011 International Conference on. Proceedings... Nanchang: IEEE, 2011, p. 3642 – 3645.
- [5] ACTEL. Core 1553BBC MIL – STD – 1553B Bus Controller. Mountain View, CA, Dec. 2005. Disponível em: <http://www.actel.com/ipdocs/Core1553BBC_DS.pdf>. Acesso em: 15 nov. 2011.
- [6] MATHEUS T. A. S. **Desenvolvimento de uma interface para monitorar o tráfego de informações em um barramento 1553B**. 2011. Trabalho de graduação – Instituto Tecnológico de Aeronáutica, São José dos Campos.
- [7] BTP-1553. "MIL-STD-1553 Portable Analyzer" - Disponível em <www.gefanuc.com>. Acesso em: 20 junho. 2012.
- [8] PASS 3200. "Protocol Analyzer and Simulation System for MIL-STD-1553 and ARINC 429/575 Data Bus". Disponível em <www.sbs.com>. Acesso em: 20 junho. 2012.