

Controle Assíncrono para Acionamento de Máquinas de Estado Finito Síncronas Particionadas

Luiz S. Ferreira¹, Duarte L. Oliveira² e Gabriel Dalalio³

¹Divisão de Eletrônica da Mectron S. A.

²Divisão de Engenharia Eletrônica do Instituto Tecnológico de Aeronáutica – IEEA – ITA

³Divisão de Ciência da Computação do Instituto Tecnológico de Aeronáutica – ICC – ITA

Resumo — Um dos grandes desafios no projeto de sistemas digitais na atualidade esta em conceber circuitos que consumam baixa potência, tendo em vista que grande número destes dispositivos digitais, tais como PDA, Smartphones, tablets dentre outros, são alimentados por pilhas ou baterias. Máquinas de Estado Finito (MEF) têm um importante papel na implementação destes sistemas digitais. Para solucionar este problema de consumo de potência, várias técnicas são utilizadas, dentre elas está o particionamento ou decomposição de uma MEF em sub-MEFs. Este técnica faz com que seja necessário o uso de um circuito de controle do sinal do relógio para efetuar o acionamento de cada sub-MEF. Dentre as propostas conhecidas na literatura para efetuar o controle do sinal do relógio, há os circuitos no estilo síncrono e no estilo assíncrono. Este artigo propõe um controle no estilo assíncrono, mas com uma configuração que reduz a potência total consumida pelo sistema em relação aos circuitos de controle já propostos.

Palavras chaves — Chaveamento do relógio, lógica assíncrona, particionamento, controle assíncrono

I. INTRODUÇÃO

Tendo em vista o aumento da complexidade dos projetos de sistemas digitais embarcados, aplicados em diferentes áreas, como setor aeroespacial, dispositivos portáteis, etc, e que são alimentados por bateria, têm no consumo de potência, o principal alvo dos projetistas. Esses projetos exigem um baixo consumo de potência [1]. Uma arquitetura muito utilizada para implementar um sistema digital é formada por uma rede de controladores e *data-paths* (ver Fig. 1) [2]. Os controladores geralmente são representados por máquinas de estado finito (MEF) e são especificados por Grafos de transições de estado (GTE) [2,3].

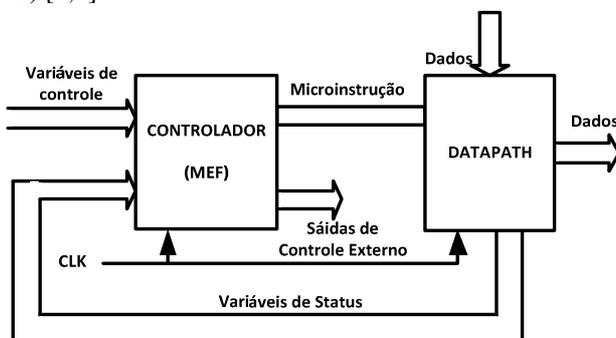


Fig. 1. Arquitetura de circuitos Digitais.

Luiz S. Ferreira, lsperna@uol.com.br, Duarte L. Oliveira, duarte@ita.br, Tel +55-12-3947-6813, Fax +55-12-3947-6930, Gabriel Dalalio, gabrieldalalio@gmail.com - ITA - IEEA - Praça Marechal Eduardo Gomes, 50, Vila das Acácias - São José dos Campos - SP - Brasil.

Considerando as fontes de dissipação de potência em sistemas digitais, que é composta pelas potências estática, dinâmica, de curto circuito e potência de fuga. Estudos demonstram que a maior parcela, cerca de 80%, é referente à potência dinâmica [4]. A potência dinâmica media dissipada por uma porta g pode ser expressa por [4,5]:

$$P_{\text{media } g} = 1/2 \cdot C_g \cdot V_{DD}^2 \cdot f \cdot N_g \quad (1)$$

Onde $P_{\text{media } g}$ é a potência media total, C_g representa a capacitância de carga, V_{DD} é a tensão de alimentação e f é a frequência de operação. O fator N_g representa as atividades de chaveamento, que é o número de transições na saída da porta para cada ciclo do relógio. Recentes estudos demonstraram que a atividade do relógio em sistemas digitais contribui com um alto percentual no consumo de potência (15% a 45%) da potência total do sistema [5,6].

Várias técnicas são utilizadas nas diversas etapas de um projeto de sistemas digitais, objetivando a redução da potência dinâmica consumida [7]. Em relação às máquinas de estado finito, pode-se destacar o controle de inibição do sinal do relógio [8,9], decomposição [10-16], utilização de Flip Flop acionado nas duas bordas do sinal do relógio [17,18], assinalamento de estados [19], minimização lógica e mapeamento tecnológico [20,21]. Os métodos de inibição do relógio e a decomposição têm demonstrado resultados significativos na redução de potência dinâmica, entretanto a inibição do relógio só é aplicável às máquinas de estado finito tipo Moore. O método de decomposição também conhecido por particionamento consiste na divisão de uma MEF em N sub-MEFs, assim quando uma das sub-MEF esta operando as outras ficam em estado de repouso (não consumindo potência), assim que o ciclo de operações termina outra sub-MEF é acionada, até que todas tenham sua operação realizada.

Um circuito de controle do sinal do relógio geralmente chamado de Bloco de Controle do Relógio (BCR) é utilizado para efetuar a comutação entre as sub-MEFs, permitindo assim que uma única sub-MEF opere de cada vez, promovendo assim a redução da potência dinâmica consumida. Diferentes BCRs foram propostos, podemos citar as propostas interessantes de [11,14] e classificar os BCRs em dois modos de atuação, que são: BCR síncrono [11] e BCR assíncrono [14]. Estudos

realizados por Oelmann et al. [14] mostram que a versão assíncrona traz importante redução no consumo de potência em relação à versão síncrona, mas tem como desvantagem um aumento na área utilizada pelo circuito e um maior tempo de ciclo.

Neste artigo propomos um novo BCR assíncrono, que quando comparamos com o BCR proposto por Oelmann et al. [14], o BCR proposto tem um melhor desempenho e consome menos potencia. Diferente de Oelmann, onde o seu BCR é composto por células BCR, o BCR proposto está relacionado com a descrição da MEF.

A estrutura deste artigo é: Seção II apresenta trabalhos relacionados; seção III mostra arquitetura proposta; seção IV apresenta a síntese do BCR; seção VI apresenta os resultados e finalmente a seção VII apresenta as conclusões do trabalho.

II. TRABALHOS RELACIONADOS

Para uma MEF original particionada em sub-MEFs, duas importantes propostas foram feitas para o Bloco de Controle do Relógio, que são: uma versão síncrona [11] e outra assíncrona [14-16].

Circuito de controle síncrono

Proposto por Benini et al. [11], à comunicação síncrona entre as sub-MEFs realiza a comutação do sinal do relógio entre as sub-MEF particionadas está em sincronismo com o sinal do relógio. Fig. 2 apresenta a versão síncrona proposta por Benini, onde o circuito de comunicação entre as sub-MEF é ativado com o sinal do relógio.

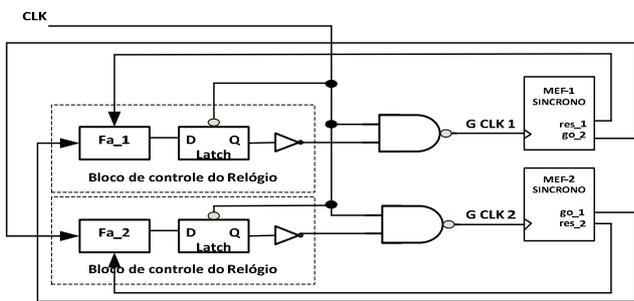


Fig. 2. Arquitetura síncrona proposta por Benini.

Fig. 3 apresenta o circuito de controle do relógio na versão síncrona. Os blocos Fa_1 e Fa-2 devem ser projetados em função da interação das sub_MEF particionadas.

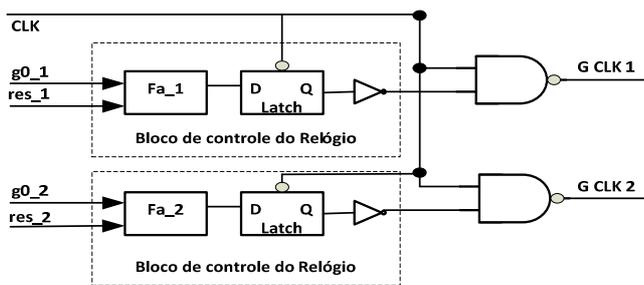


Fig. 3. Circuito síncrono de controle do relógio.

Circuito de controle assíncrono

Oelmann et al. em [14] propôs o circuito de controle do relógio na versão assíncrono, proporcionando uma redução no consumo de potência em relação a versão síncrona mas tem como limitação a área ocupada pelo circuito e o tempo de ciclo que afeta a taxa do relógio. Fig. 4 apresenta a versão assíncrona proposta em [14], onde o circuito de controle entre as sub-MEF não utiliza o sinal do relógio para acionar o circuito de controle do relógio [14].

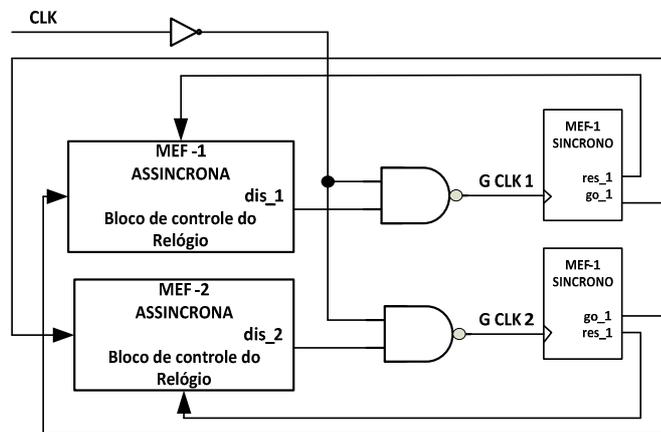


Fig. 4. Arquitetura assíncrona proposta por Oelmann.

Fig. 5 apresenta o circuito do BCR na versão assíncrona de Oelmann em [15]. O controle possui dois sinais de entrada res_1 e go_2 e um sinal de saída disp_1. Este circuito deve ser utilizado para o controle de cada sub-MEF particionada.

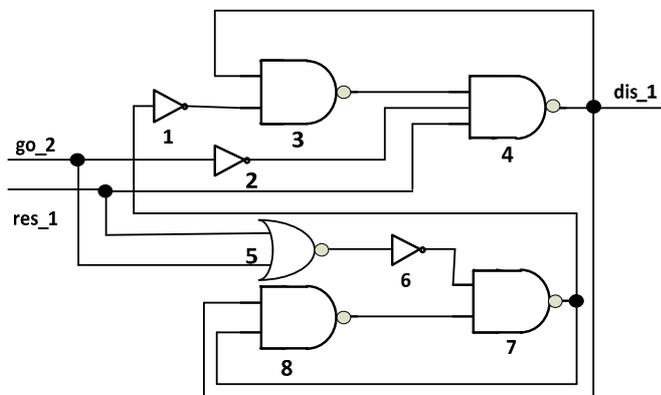


Fig. 5. Circuito assíncrono de controle do relógio.

A primeira vantagem do circuito de controle assíncrono em relação ao circuito de controle síncrono é que esta célula proposta é fixa, ou seja, não depende da interação entre as sub-MEF, enquanto na configuração síncrona o circuito deve ser projetado em função da interação entre as sub-MEF.

Ambas as propostas são utilizadas nas arquiteturas onde as MEF particionadas possuem dois sinais de controle; um sinal é utilizado para acionar o circuito de controle do relógio da outra sub-MEF e outro sinal para parar o sinal do relógio que a aciona.

III. CIRCUITO DE CONTROLE PROPOSTO

Este artigo propõe uma nova estrutura para a proposta feita por Oelmann, ou seja, uma nova versão para o BCR assíncrono, mas ao invés de se utilizar um BCR para cada sub-MEF, se utilizará um único bloco de controle. Para esta arquitetura também é proposto que o particionamento da MEF seja realizado com a introdução de um único sinal de saída ao invés de dois como utilizados nas arquiteturas propostas anteriores. Assim os blocos de controle do relógio propostos em [14], são substituídos por um único bloco que faz o controle ativar e desativar o sinal de relógio para cada sub-MEF (ver Fig. 6).

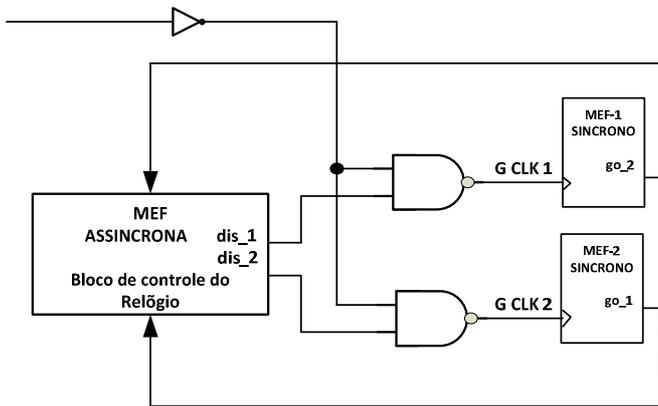


Fig. 6. Arquitetura proposta para o circuito de controle.

Nesta nova arquitetura a área a ser ocupada pelo circuito de controle será menor, consumindo assim menos energia e terá um tempo de ciclo mais adequado ao funcionamento do circuito, porque o BCR influencia diretamente no cálculo da taxa do relógio das sub-MEF. Fig. 7 apresenta a topologia utilizada para o controle do sinal do relógio com uma MEF particionada em 3 sub-MEF.

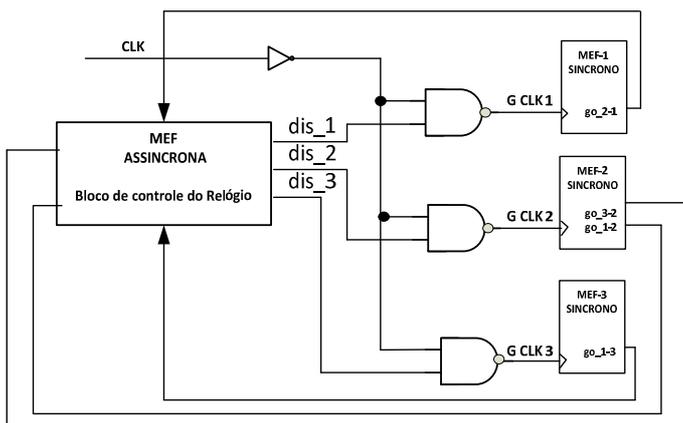


Fig. 7. Arquitetura proposta para controle de três sub-MEF.

Com o aumento de entradas do BCR, há um aumento do número de entradas das portas lógicas utilizadas, a proposta é o particionamento do BCR. Fig. 8 apresenta a arquitetura proposta para N sub-MEF com o particionamento em dois BCRs.

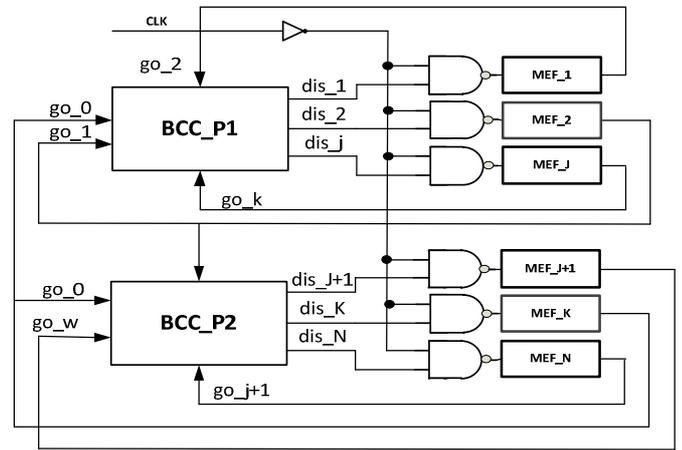


Fig. 8. Arquitetura para N sub-MEF com dois BCRs.

IV. METODOLOGIA PARA SINTESE DO BCR ASSÍNCRONO

Para a realização da descrição e da síntese do BCR assíncrono a seguinte metodologia deve ser realizada:

1. Obter a MEF a ser particionada
2. Determinar o número de partições a ser realizada e obter as sub-MEFs utilizando uma ferramenta para executar o particionamento, por exemplo LSPART [22].
3. Determinar as interações entre as sub-MEFs, gerando o grafo de interação e capturar o BCR assíncrono utilizando a especificação modo burst (MB) [23].
4. Utilizando a ferramenta Minimalist [24] sintetizar o BCR assíncrono.

Para demonstrar a metodologia da síntese do BCR proposto será utilizada a MEF DK25, que foi particionada em 2, 3 e 4 partições pela Ferramenta LSPART.

Estudo de caso: duas partições

Fig. 9 apresenta o GTE da MEF DK25 com a identificação das duas partições.

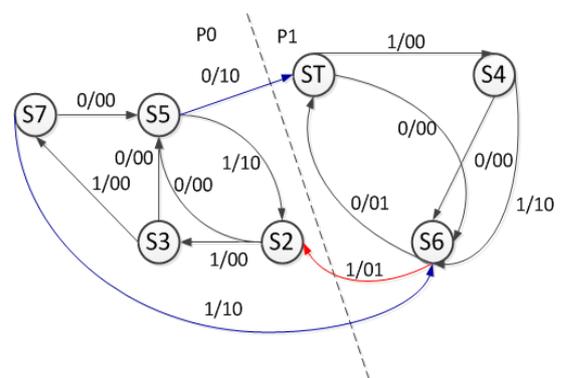


Fig. 9. MEF DK25 particionada em duas sub-MEF.

Considerando as interações entre as sub-MEF obtidas pelo particionamento da MEF original pode-se estabelecer um Grafo de Interação que é apresentada pela Fig. 10.

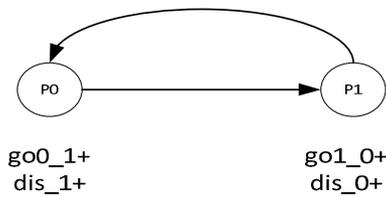


Fig. 10. Grafo de interação entre as duas sub-MEF.

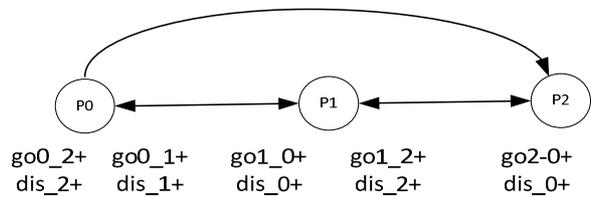


Fig. 14. Grafo de interação entre as três sub-MEF.

Fig. 11 apresenta a especificação modo burst para o BCR assíncrono controlar as duas sub-MEFs. Na Fig. 12 mostra o circuito lógico do BCR para o exemplo DK25, que foi sintetizado pela ferramenta Minimalist, onde uma variável de estado (sv) foi introduzida para eliminar conflitos na especificação.

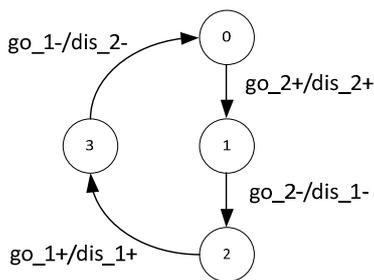


Fig. 11. Especificação modo burst para o BCR assíncrono.

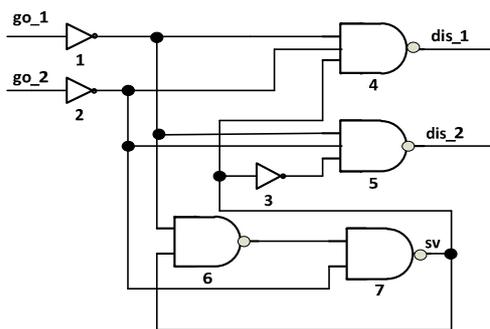


Fig. 12. Circuito lógico do BCR para duas sub-MEF.

Estudo de caso: três partições

Fig. 13 apresenta o GTE da MEF DK25 com a identificação de três partições.

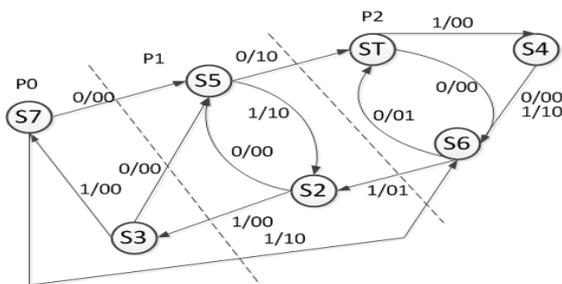


Fig. 13. MEF DK25 particionada em três sub-MEF.

Fig. 14 apresenta o grafo de interação entre as sub-MEF obtidas a partir do particionamento da MEF DK27 em três partições.

Fig. 15 apresenta a especificação modo burst para o BCR assíncrono que controla as três sub-MEFs.

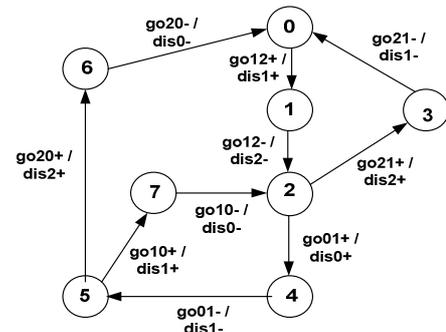


Fig. 15. Especificação modo burst para o BCR.

O Circuito lógico do BCR apresentado na Fig. 16 controla a MEF DK25 com três sub-MEF, e foi sintetizado pela ferramenta Minimalist. Para a síntese não foi necessária à inserção de variáveis de estado.

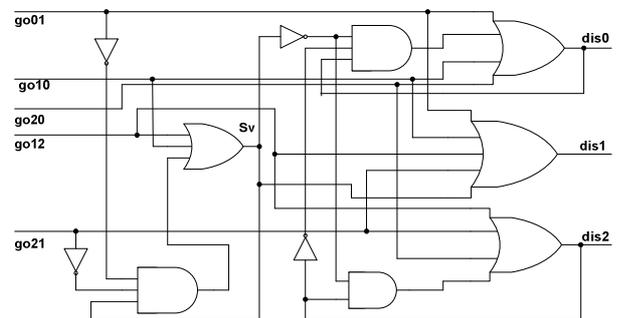


Fig. 16. Circuito lógico BCR para três sub-MEF.

Estudo de caso: quatro partições

Fig. 17 apresenta GTE da MEF DK15 com a identificação de quatro partições.

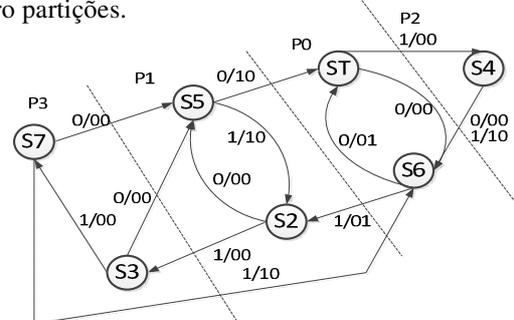


Fig. 17. MEF DK25 particionada em quatro sub-MEF

O grafo de interação entre as 4 sub-MEF originadas do particionamento da MEF DK25 está apresentada na Fig. 18.

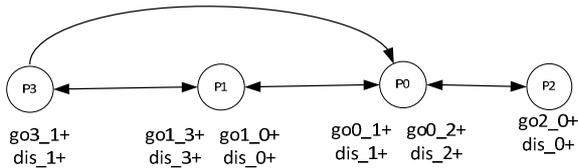


Fig. 18. Interação entre as quatro sub-MEF

Fig. 19 apresenta a especificação modo burst para o circuito de controle do relógio para controle de três sub-MEF.

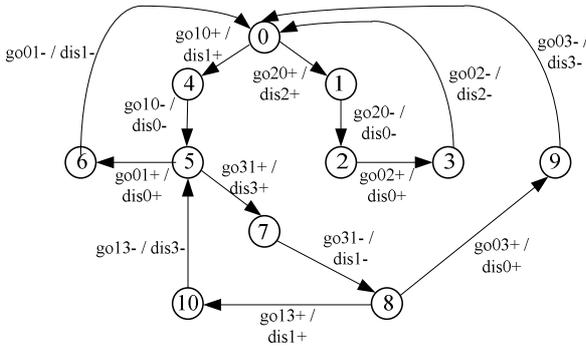


Fig. 19. Especificação MB para o circuito de controle

O circuito lógico de controle BCF para o acionamento de quatro sub-MEFs do particionamento da MEF DK25 está apresentado na Fig. 20. A síntese realizada pela ferramenta Minimalist inseriu a variável de estado z0, para eliminar conflitos na especificação MB.

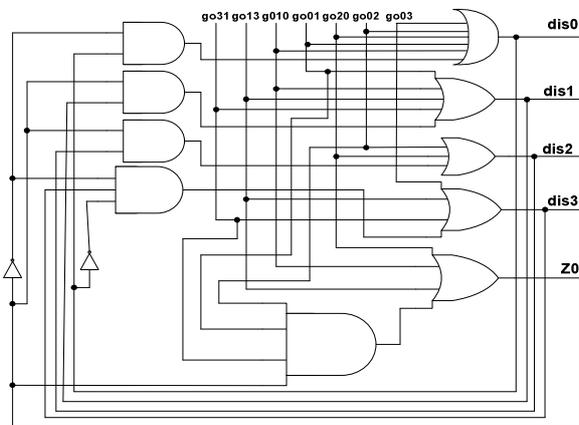


Fig. 20. Circuito de controle para quatro sub-MEF

V. RESULTADOS & DISCUSSÃO

Nesta seção vamos fazer uma comparação de área, desempenho e potência dissipada do BCR de [14], com o BCR proposto. Esta comparação é realizada para 2, 3, e 4 partições, que envolvem dois benchmarks que são as MEF DK25 e TRAIN, onde DK25 foi o nosso estudo de caso. As Tabelas I, II e III retratam os resultados relacionados com a MEF DK25. As Tabelas IV, V e VI estão relacionadas com a MEF TRAIN. As Tabelas I e IV

mostram os resultados de área, no caso o número de transistores envolvendo os dois benchmarks. O BCR proposto obteve uma redução média de 47,8% no número de transistores. As Tabelas II e V mostram os resultados de desempenho dos dois benchmarks, no caso o BCR proposto obteve uma redução média no tempo de latência de 50% e uma redução média no tempo de ciclo de 47%. As Tabelas III e VI mostram os resultados de potência dissipada para os dois benchmarks. O BCR proposto obteve uma redução de 26% na potência dissipada.

Tabela I. Resultados de área para BCR do DK25

		Número transistores		Redução Área
		Oelmann e C. Cao	Proposta	
2 partições	2 circuitos	56	26	54%
3 partições	5 circuitos	140	68	51%
4 partições	7 circuitos	196	90	54%

Tabela II. Resultados de desempenho para BCR do DK25

	Oelmann e C. Cao		Proposta	
	t latencia (ns)	t ciclo (ns)	t latencia (ns)	t ciclo (ns)
2 partições	20	70	10	40
3 partições	20	110	10	70
4 partições	20	230	10	140

Tabela III. Resultados de potência para BCR do DK25

N	Oelmann e C. Cao	Proposta(uW)	Redução
2 partições	110,00	62,20	43%
3 partições	275,00	203,00	26%
4 partições	385,00	357,00	7%

Tabela IV. Resultados de área para BCR do TRAIN

		Número transistores		Redução Area
		Oelmann e C. C	Proposta	
2 partições		56	26	54%
3 partições		84	52	38%
4 partições		112	72	36%

Tabela V. Resultados de desempenho para BCR do TRAIN

	Oelmann e C. Cao		Proposta	
	t latencia (ns)	t ciclo (ns)	t latencia (ns)	t ciclo (ns)
2 partições	20	70	10	40
3 partições	20	110	10	60
4 partições	20	230	10	80

Tabela VI. Resultados de potência para BCR do TRAIN

N	Oelmann e C.	Proposta(uW)	Redução
2 partições	110,00	62,20	43%
3 partições	165,00	141,30	14%
4 partições	220,00	169,00	23%

Todos os BCRs propostos, como os BCRs de [14] que são direcionados para os benchmarks DK25 e TRAIN, foram simulados pela ferramenta ALTERA QUARTUS II – Família Cyclone III – dispositivo EP3C5E14417 [25]. As simulações mostraram que os BCRs satisfizeram as

especificações e os circuitos são livres de *hazard* e de corrida crítica.

VI. CONCLUSÃO

Particionar uma MEF em sub-MEFs é interessante para reduzir a complexidade da síntese, principalmente para MEF de grande porte. Um interesse maior do particionamento em sub-MEFs está no grande potencial de economizar energia. O motivo é que enquanto uma sub-MEF está processando, as outras estão em repouso, isto é, sem consumir energia. Um controle eficiente para ativar e desativar sub-MEF foi proposto por em [14], que é um controle assíncrono. Este artigo propõe-se um novo controle assíncrono, que diferente da proposta de [14], que usa um BCR fixo, apenas multiplica esses controles, a nossa proposta usa um único BCR. Neste artigo nós mostramos como gerar o nosso BCR e como sintetiza-lo. Nós também mostramos que o nosso BCR tem melhores resultados, quando comparado com o BCR de [14]. Como trabalho futuro, pretendemos aplicar o nosso BCR em particionamento de MEF que envolve memória compartilhada.

REFERÊNCIAS

- [1] C. Piguet, "Low-Power CMOS Circuits Technology, Logic Design and CAD Tools," Taylor & Francis Group, 2006.
- [2] H. Hsieh, F. Balarin et. al. "Synchronous approach to the Functional Equivalence of Embedded System Implementations," *IEEE Trans. on CAD of Int. Circuits and Systems*, vol.20, no.8, pp.1016-1033, August 2001.
- [3] J. J. Rodriguez, at. al., "Features, Design Tools, and Applications Domains of FPGAs," *IEEE Trans. on Industrial Electronics*, vol. 54, no 4, pp. 1810-1823, August, 2007
- [4] F. N. Najm, "A Survey of Power Estimation Techniques in VLSI Circuits," *IEEE Trans. on VLSI Systems*, vol. 2, no. 4, pp.446-455, December 1994.
- [5] S. Devadas and S. Malik, "A Survey of Optimization Techniques Targeting Low Power VLSI Circuits", *Proc. 32nd ACM/IEEE DAC*, pp.242-247, 1995.
- [6] A. Jain et al., "A 1.2 GHz alpha microprocessor with 44.8 GB/s chip pin bandwidth," in *IEEE Int. Solid-State Circuits Conf. Tech. Dig.*, pp. 240–241, February 2001.
- [7] L. Benini and G. De Micheli, "Systems-Level Power Optimization: techniques and Tools," *ACM Trans. on Design Automation of Electronic Systems*, 5(2), pp. 115-192, April 2000.
- [8] L. Benini and G. De Micheli, "Automatic Synthesis of Low-Power Gated-Clock Finite-State Machines," *IEEE Trans. on CAD of Integrated Circuits and Systems*, Vol.15, No.6, pp.630-643, June 1996.
- [9] Q. Wu, M. Pedram, and X. Wu, "Clock-Gating and Its Application to Low Power Design of Sequential Circuits," *IEEE Trans. on Circuits and Systems-I: Fundamental Theory and Applications*, vol. 47, no.103, pp.415-420, March 2001.
- [10] S. H. Chow, et al., "Low Power Realization of Finite State Machines – A Decomposition Approach ," *ACM Trans. on Design Automation of Electronic System*, 1(3), pp. 315-340, July, 1996.
- [11] L. Benini and G. De Micheli, "Synthesis of Low-Power Selectively-Clocked Systems from High-Level Specification," *ACM Trans. on Design Automation of Electronic System*, 5(3), pp. 311-321, July 2000.
- [12] J. C. Monteiro and A. L. Oliveira, "Implicit FSM Decomposition Applied to Low-Power Design," *IEEE Trans. on VLSI Systems*, Vol. 10, No. 5, pp.560-565, October 2002.
- [13] B. Liu, et al., "FSM Decomposition for Power Gating Design Automation in Sequential Circuits", 76th Int. Conf. on ASIC, ASICON, pp.944-947, 2005.
- [14] B. Oelmann, et al., "Automatic FSM Synthesis for Low-Power Mixed Synchronous/Asynchronous Implementation," *Journal of VLSI Design*, Special Issue on Low-Power Design, vol. 12, no.2, pp. 167-186, 2001.
- [15] C. Cao, et al., "Synthesis Tool for Low-Power Finite-State Machines with Mixed Synchronous/Asynchronous State Memory," *IEE Proc. Comput. Digit. Tech.* vol. 153, no. 4, pp.243-248, July 2006.
- [16] C. Cao and B. Oelmann, "Low-Power State Encoding for Partitioned FSMs with Mixed Synchronous/Asynchronous State Memory," *Integration the VLSI Journal*, vol. 41, pp.123-134, 2008.
- [17] P. Zhao, J. McNeely, et al., "Low-Power Clock Branch Sharing Double-Edge Triggered Flip-Flops," *IEEE Trans. on VLSI Systems*, vol. 15, no.3, pp.338-345, March 2007.
- [18] D. L. Oliveira, L. S. Ferreira, et al "Synthesis of Synchronous Digital Systems Operating in Double-Edge of Clock," *LASCAS 2012 3rd IEEE Latin American Symposium on Circuits and Systems*, Playa del Carmen, México.
- [19] P. Baccheletta et al. "Low-Power State assignment Techniques for Finite State Machines," *IEEE Int. Symposium on Circuits and systems*, Geneva, Switzerland, pp.641-644, May 2000.
- [20] J.-Mou Tseng and J.-Yang Jou, "A Power-Driven Two-Level Logic Optimizer," *Proc. Of the ASP-DAC*, pp.113-116, 1997.
- [21] R. I. Bahar and F. Somenzi, *Boolean Techniques for Low Power Driven Re-Synthesis*, *IEEE/ACM Conf. Int. on CAD Digest of technical Papers*, pp.428-432 1995.
- [22] L. S. Ferreira, "Particionamento de Máquinas de Estado Finito Síncronas com Controle Assíncrono Visando Redução do Consumo de Potência," *Tese de Mestrado*, ITA 2012.
- [23] S. M. Nowick, "Automatic synthesis of burst-mode asynchronous controllers," Ph.D. Thesis, Technical report CSL-TR-95-686, 1995.
- [24] R. M Fuhrer et al., "Minimalist: An environment for the Synthesis, verification and traceability of burst-mode machines," *Technical Report*, Columbia University, TR-CUCS-020-99, 1999.
- [25] ALTERA Corporation-www.altera.com, 2013.