

# Projeto e implementação de um transmissor AM digital reconfigurável didático em FPGA

Eduardo Lussari, Duarte Lopes de Oliveira e Roberto D'Amore

Instituto Tecnológico de Aeronáutica – Praça Marechal Eduardo Gomes, 50 - São José dos Campos – SP – Brasil

**Resumo** — Este trabalho apresenta a arquitetura e a implementação de um transmissor AM DSB-FC digital reconfigurável descrito em VHDL. Todos os elementos do sistema são incorporados em um único dispositivo FPGA para flexibilizar o uso de diferentes plataformas e redução de custo; somente um capacitor e uma antena são externos ao sistema. O projeto contempla ainda um conversor D/A implementado na própria FPGA. São apresentados os resultados da simulação do código VHDL e dos testes do circuito sintetizado para análise da viabilidade da implementação da arquitetura.

**Palavras-Chave** — SDR, FPGA, DDFS, Rádio Definido por Software, modulação por amplitude (AM).

## I. INTRODUÇÃO

Existem diversos modos e padrões de sistemas de comunicação sem fio, fator que motiva implementações flexíveis que permitam aos usuários se moverem entre domínios sem perda de serviço. Outras possibilidades também surgem com a adoção de rádios reconfiguráveis, como o conceito de *rádio cognitivo*, em que o terminal é capaz de analisar o cenário de rádio frequência a sua volta, e aprender sobre ele através do método “aprender fazendo”. Este aprendizado permite uma adaptação às variações estatísticas do estímulo de RF recebido, ajustando em tempo real a frequência, potência e modulação [2]. Tal flexibilidade é alcançada através de Rádios Definidos por Software (RDS), onde o controle sobre modulação, funções de segurança e características de forma de onda em uma larga faixa de frequência são estabelecidos por *software*.

Uma área que apresenta forte demanda por Rádios Definidos por Software é a militar. Um mesmo equipamento (seja ele um rádio de voz portátil ou um *datalink* de alta velocidade embarcado em uma aeronave) pode vir a ser usado em diversos lugares do mundo, sendo obrigado então a se adequar ao cenário de RF local. Além disto, operações conjuntas com forças amigas exigem que o rádio seja capaz de ser configurado em campo para uma mesma forma de onda (que inclui modulação, frequência, código de correção de erro e protocolos). Por fim, a implementação de comunicações seguras complexas como as baseadas em *frequency hopping* são facilitadas se forem realizadas por RDS.

Existem diversos tipos de dispositivos para construir um RDS, entre eles Processadores Digitais de Sinais (DSP), Processadores de Propósito Geral (GPP), circuitos integrados de aplicação específica (ASIC), e dispositivos lógico-programáveis (FPGA). O último tipo de dispositivo é

especialmente interessante para RDS por viabilizar alto desempenho de um *hardware* de uso específico, mas sem o alto custo não recorrente de um ASIC, além da capacidade de ser atualizado em campo. Outra vantagem de FPGAs é tolerar obsolescência de componentes [1].

Um caso tradicional em comunicações de rádio para faixas MF (média frequência, 0,3MHz – 3MHz) é a modulação por amplitude, ou AM. Existem diversos trabalhos propondo transmissores AM em FPGA [3,4], entretanto nenhum apresenta uma solução que inclua o bloco de conversão digital para analógico.

Por conta da ampla adoção de soluções RDS (93% da infraestrutura de terminais móveis e quase 100% dos terminais militares) [5], a necessidade do ensino e pesquisa desta tecnologia em cursos de graduação e pós-graduação em Engenharia Eletrônica é evidente. Este trabalho propõe uma arquitetura para um transmissor AM DSB-FC (*Double Sideband - Full Carrier*) digital (expansível para outros tipos de modulação), que se diferencia ao dispensar circuitos D/A externos. Tal arquitetura possibilita o aprendizado em detalhe de todos os elementos que compõem um RDS em *hardware* digital com um baixo custo (abaixo de cem dólares), pois é baseada em um Hardware mínimo e adaptável a qualquer plataforma de desenvolvimento comercial de FPGA. Além disto, a solução proposta facilita a reprodução e comparação de trabalhos, pois é agnóstica em relação ao dispositivo, e não depende de circuitos externos.

## II. TRANSMISSORES AM EM FPGA

### 1) Equacionamento da Modulação

A Modulação AM DSB-FC consiste em variar a amplitude do sinal tendo como base o sinal de informação sendo transmitido (ou sinal modulante). Considerando  $e_m$  como a amplitude instantânea do sinal modulante, e considerando  $E_c$  como sendo a amplitude máxima do sinal de portadora, a amplitude máxima do sinal AM é dado por:

$$E_{AM} = E_c + e_m \quad (1)$$

Portanto a amplitude instantânea do sinal é dada por:

$$e_{AM} = E_{AM} \cdot \text{sen}(\omega_c t) = (E_c + e_m) \cdot \text{sen}(\omega_c t) \quad (2)$$

### 2) Implementação das funções matemáticas

Do equacionamento obtido, vemos que parte fundamental do sinal é a função  $sen(\omega_c t)$ . Esta função é gerada em circuitos analógicos por um componente denominado *circuito oscilador local*. Numa implementação digital, o circuito oscilador local implementado por um NCO (*Numerically Controlled Oscillator*). Existem diversos métodos para implementar um NCO, sendo alguns baseados em cálculos em tempo real para definir os valores da função trigonométrica, e outros são baseados em tabelas pré-calculadas [9]. Os métodos baseados em tabelas são mais empregados devido à simplicidade de implementação, entretanto, podem demandar memórias grandes dependendo da resolução e quantização do sinal a ser gerado. Como alternativa, existem soluções baseadas em cálculos de tempo real, como as baseadas em algoritmos *CORDIC*, que ocupam menos área de circuito que as implementações baseadas em tabelas, mas possuem desempenho inferior, pois exigem diversas recursões para obter-se um novo resultado [6].

As operações de adição e multiplicação podem ser realizadas através de unidades funcionais já embutidas no dispositivo, ou então através de circuitos digitais projetados especificamente para o projeto, ou provenientes de bibliotecas fornecidas pelos fabricantes dos FPGAs.

### 3) Conversores Digital para Analógico (DAC)

Rádios definidos por *software* realizam funções tradicionalmente implementadas por componentes analógicos em *hardware* digital, seja um processador de propósito geral, DSP ou FPGA. O sinal a ser irradiado, entretanto é analógico, sendo necessário portanto uma interface para conversão da informação do domínio digital para o analógico. Os parâmetros básicos para a seleção de um DAC para RDS são a Relação Sinal-Ruído (*Signal to Noise Ratio - SNR*), e a Taxa de Dispersão Adjacente à Portadora (*Adjacent Channel Leakage Ratio - ACLR*) [7].

O parâmetro SNR é definido pela quantização do DAC e ruído térmico da interface. Se um deles for elevado, a figura de ruído do DAC acaba contribuindo para o ruído total do sistema. O parâmetro ACLR é frequentemente definido pela distorção por intermodulação de terceira-ordem (IM3) do dispositivo. Este último parâmetro passa a ser muito importante em sistemas multi-portadoras, como no W-CDMA.

Entre os esquemas de DAC existentes [8], temos os baseados em matrizes de resistores (*resistor ladders* e *R-2R ladder*), em matrizes de fontes de corrente (*current domain*), em matrizes de capacitores (*charge domain*), e os que realizam a conversão no domínio do tempo. Este último esquema depende apenas do chaveamento entre duas tensões diferentes, criando pulsos sucessivos que definem a tensão de saída. A grande vantagem deste esquema está em sua simplicidade, pois praticamente todo o circuito pode ser realizado digitalmente, dependendo apenas de um filtro passa baixas analógico. Os outros esquemas apresentados dependem de circuitos analógicos complexos, que em geral devem ser construídos em circuito integrado.

Os dois tipos de DAC do tipo domínio do tempo mais comuns, veja Fig. 1, são:

- DAC PWM: Este é o tipo mais simples de DAC. Neste método, uma sequência de pulsos passa por um filtro passa baixas, e a largura destes pulsos é determinada pelo valor digital da amostra.

- DAC PDM: Neste método, a saída é uma sequência de pulsos de largura fixa, sendo a densidade de pulsos definida pelo valor digital da amostra. Os pulsos passam por um filtro passa baixa e produzem uma tensão analógica.

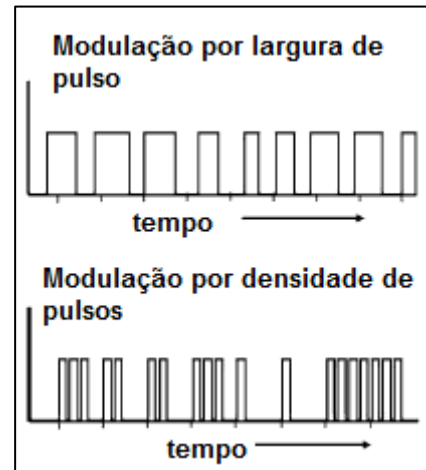


Fig. 1 - Modulação PWM e PDM

### III. ARQUITETURA PROPOSTA

O RDS proposto contém um NCO baseado em tabela, um conversor DAC do tipo PDM e circuitos de controle. A Fig. 2 contém o diagrama de blocos da arquitetura. “Config” representa o registro de configuração da portadora do sinal a ser transmitido, “NCO” o oscilador numericamente controlado, “ $em(t)$ ” o sinal ou informação transmitida, “ $Ec$ ” a constante que define a amplitude da portadora, “Multiplíc.” o bloco multiplicador (equivalente ao *mixer* em projetos de RF analógicos), “DAC” o conversor digital analógico. Por fim, “FPGA I/O Buffer” representa o pino de saída da FPGA.

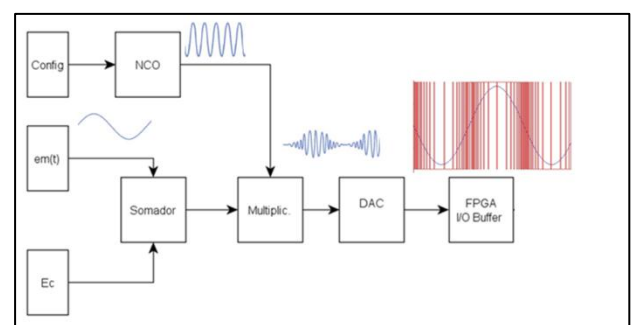


Fig. 2 - Arquitetura proposta

O NCO foi construído a partir de um acumulador de fase, como apresentado na Fig. 3. Como entrada para o acumulador temos um registro (FCW) que define a frequência do oscilador, e como saída temos a fase referente a um período de sinal senoidal. A resolução da frequência gerada pelo NCO é dada pela equação [9]:

$$\Delta_f = \frac{f_{clk}}{2^j}, \quad (3)$$

sendo  $f_{clk}$  a frequência do relógio do acumulador, e  $j$  o número de bits do acumulador. Definindo uma taxa de 50MHz para o NCO, 24 bits permitem uma resolução de 3 Hz (suficiente para a aplicação).

A conversão de fase para amplitude é realizada através de uma tabela de valores pré-calculados. Sobre este tipo de conversão, é notório que uma tabela de  $2^{24}$  posições é inviável, portanto a saída do acumulador de fase terá seu valor quantizado para uma quantidade menor de bits, procurando manter as amplitudes dos espúrios resultantes desta operação dentro de um valor aceitável. O valor máximo de espúrio pode ser estimado por:

$$\zeta_{max} = -6,02P \text{ dBc}, \quad (4)$$

sendo  $P$  o número de bits do conversor fase-para-amplitude [10]. Para esta aplicação o nível foi fixado em -60 dBc, ou seja, um milhão de vezes menor do que a portadora. Consequentemente, o conversor necessita de 10 bits.

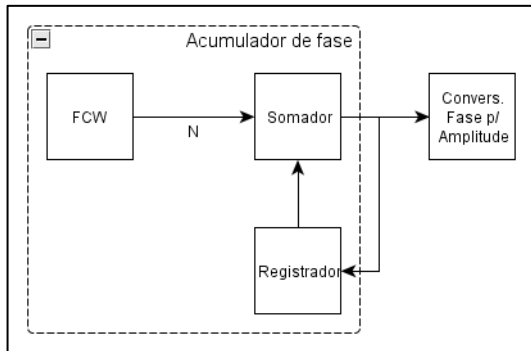


Fig. 3 – NCO - Oscilador numericamente controlado

A função trigonométrica seno é simétrica em seus quadrantes, o que nos permite simplificar o conversor de fase para amplitude e diminuir o número de posições. Isto é possível se inserirmos um par de complementadores tal como na Fig. 4. Estes elementos geram como resultado o complemento do valor de entrada, ou o próprio valor, sendo controlador pelos bits mais significativos vindos do acumulador de fase.

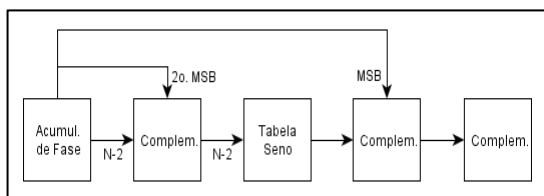


Fig. 4 - Esquema de compressão do conversor fase amplitude

Para que um sinal analógico possa ser gerado será utilizado um conversor D/A do tipo domínio do tempo. Entre as duas opções apresentadas, optou-se pelo conversor baseado em densidade de pulsos utilizando um modulador Sigma-Delta de primeira ordem (Fig. 5). Esta decisão de

projeto se deve à propriedade do modulador concentrar o ruído de quantização em frequências altas, fora da banda de interesse do sinal [11]. A relação sinal-ruído dentro da banda de interesse pode ser aproximada para:

$$SNR \approx \frac{3D^3}{\pi^2}, \quad (5)$$

sendo  $D$  a relação entre a frequência do modulador e a frequência máxima dentro da banda de interesse (no caso, duas vezes a frequência da portadora) [11]. Definindo que o modulador irá operar a 300MHz, teremos um SNR maior do que 60dB para portadoras de até 1MHz ( $D=150$ ).

O modulador consiste de um somador  $\Sigma$  que opera como integrador. O integrador, por sua vez, é composto por um somador e um registrador. Quando o bit mais significativo (MSB) do somador  $\Sigma$  é igual a 0, a saída do somador  $\Delta$  é a própria entrada do modulador. Quando o MSB do somador  $\Sigma$  é igual a 1, a saída do somador  $\Delta$  recebe o valor da entrada DACin mas com sinal invertido. Como o circuito opera com representação de sinal de complemento para dois, a inversão do sinal é feita definindo os dois MSB do sinal como sendo 1. Ao somar este valor negativo no somador  $\Sigma$ , este passa a assumir um valor menor, que será acumulado novamente até o próximo estouro. Maiores detalhes sobre a teoria de moduladores Sigma-delta são apresentados em [11].

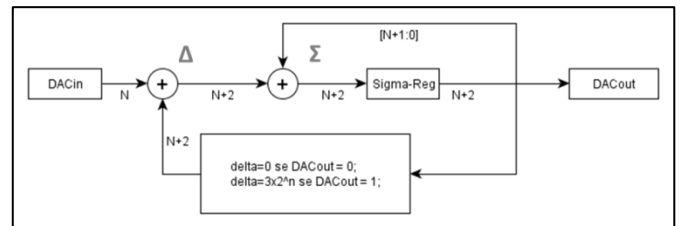


Fig. 5 - Circuito DAC

Para irradiar o sinal analógico, uma construção extremamente simples foi utilizada, veja Fig. 6. Conecta-se um longo fio (aproximadamente 1m) entre a porta de saída do FPGA e o terra do circuito por meio de um capacitor cerâmico de 100 nF para desacoplamento DC. Desta forma, o próprio *buffer* da porta da FPGA, que é capaz de prover / sorver 24 mA, atua como *driver* do sinal de RF. Para melhor observação da resposta em frequência do circuito DAC, não será utilizado um circuito passa baixas na saída para o experimento.

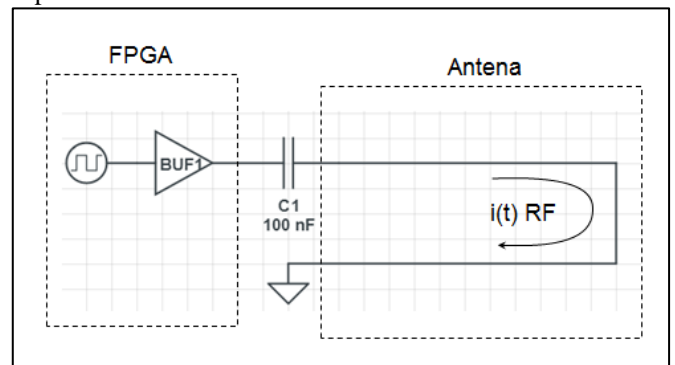


Fig. 6 - Antena do circuito

#### IV. RESULTADOS

Como demonstração da arquitetura proposta, os blocos digitais foram descritos em linguagem VHDL, e o circuito sintetizado tendo como dispositivo-alvo a FPGA Cyclone II de 5k elementos. A placa de testes utilizada conta apenas com um oscilador de 50MHz, e pinos de expansão para os I/Os da FPGA, onde conectou-se a antena apresentada na Fig. 6. A frequência de portadora foi programada para 600kHz, e sinal modulante foi fornecido por um segundo NCO interno ajustado para gerar uma sequência de quatro tons musicais de 523Hz a 698Hz. O *hardware* de demonstração pode ser visto na Fig. 7.

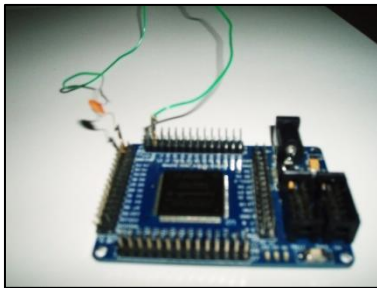


Fig. 7 - Hardware FPGA utilizado

A verificação da arquitetura proposta foi realizada em duas etapas. Primeiro foram feitas simulações funcionais dos blocos, para então sintetizar o circuito e programar um FPGA (Fig. 7). Para simulação funcional utilizou-se o *software* ModelSim Altera Edition em conjunto com o Matlab para análise dos vetores de saída. O *testbench* da simulação fornece ao circuito sob teste apenas o sinal de relógio e *reset*, lembrando que o circuito é capaz de gerar internamente um sinal modulante de aproximadamente 500 Hz. Para posterior análise no Matlab, o *testbench* dispõe de uma rotina que salva os valores de saída do circuito em um arquivo texto. Este arquivo pode ser facilmente importado no Matlab como um vetor de valores discretos no tempo, e então analisado no domínio da frequência através das funções de transformada rápida de Fourier presentes na ferramenta.

A Fig. 8 mostra o resultado de uma FFT no Matlab de uma portadora de 600kHz modulada por sinal de 500Hz. Pode-se observar a portadora em 600kHz e duas bandas laterais em  $\pm 500$ Hz. O espectro da faixa além da banda de interesse é apresentado pela Fig. 9, onde se observa que a energia do ruído de quantização é muito baixa na banda de interesse (até 1,2MHz), e aumenta para altas frequências.

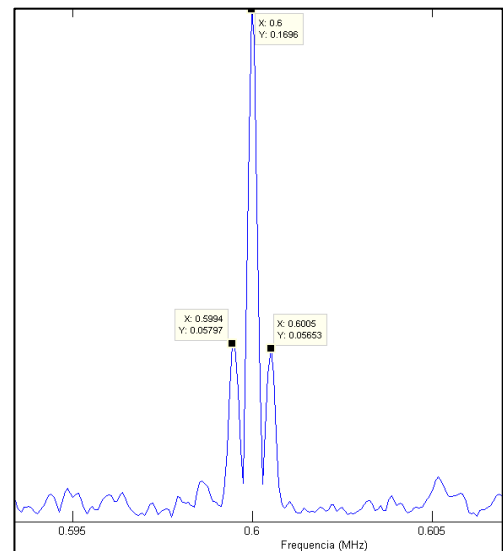


Fig. 8 - FFT da simulação funcional, 600 kHz

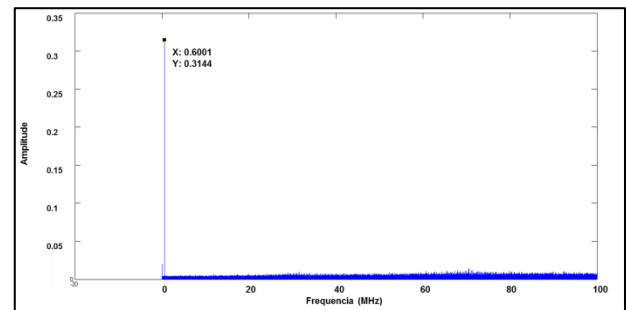


Fig. 9 - FFT da simulação funcional, 100 MHz

Na segunda etapa de teste, um FPGA foi programado segundo o código VHDL proposto. Um rádio receptor AM convencional foi sintonizado para o canal de 600 kHz, e foi possível demodular o sinal recebido sem qualquer interferência a uma distância de até 2m do circuito. Não foi detectada nenhuma interferência por espúrios gerados em frequências diferentes de 600 kHz, mesmo com a antena muito próxima ao rádio permitindo uma análise qualitativa do desempenho do projeto.

#### V. CONCLUSÕES

O emprego de sistemas de baixo custo empregando FPGAs é possível para desenvolvimento de atividades didáticas no tópicos de Rádio Definido por Software.

Elementos fundamentais de RDS como oscilador local, *mixer* de frequências e conversor D/A podem ser projetados e testados em circuitos reais, compondo um transmissor modulado por amplitude operando na faixa de frequências MF. O usuário tem a possibilidade de verificar o sinal gerado em um analisador de espectro e identificar as componentes do sinal modulado, e ainda de experimentar de forma rápida e simples alterações no circuito. Alterando apenas algumas linhas da descrição, é possível suprimir a portadora na modulação (resultando em um transmissor AM DSB-SC) e verificar o resultado na bancada.

Aplicações mais complexas como modulações digitais, *frequency hopping* e *spread spectrum* podem ser desenvolvidas a partir dos elementos básicos apresentados.

Soluções já apresentadas como em [12] dependem de equipamentos comerciais específicos que custam na faixa de mil e quinhentos dólares (Ettus USRP E110), mais de dez vezes mais caro do que a solução proposta. Evidentemente estas plataformas comerciais possuem um desempenho muito superior em banda e capacidade de processamento, o que não necessariamente implica em uma vantagem em se tratando de aplicações didáticas. O trabalho apresenta então uma arquitetura de alto valor didático, mas de custo considerado baixo (menor que cem dólares).

#### REFERÊNCIAS

- [1] M. Cummings, S. Haruyama, "FPGA in the software radio", IEEE Communication Magazine, Vol. 37, p. 108-112, February 1999.
- [2] Simon Haykin, "Cognitive Radio: Brain-Empowered Wireless Communications", IEEE Journal on Selected Areas of Communication, Vol. 23, No. 2, FEBRUARY 2005.
- [3] HeJin, H, SongBai, "Design and Realization of NCO of Modulation Based on FPGA", ICCAS 2007, p. 831-833, July 2007.
- [4] J. DeGroat, G. Reehal, S. Nagarjuna, "Synthesizing FPGA Digital Modules for Software Defined Radio", p. 358-362, July 2008.
- [5] Software Defined Radio - Rate of Adoption, [http://www.wirelessinnovation.org/sdr\\_rate\\_of\\_adoption](http://www.wirelessinnovation.org/sdr_rate_of_adoption)
- [6] M. Jridi, A. Alfolou, "Direct Digital Frequency Synthesizer with CORDIC Algorithm and Taylor Series Approximation for Digital Receivers", European Journal of Scientific Research, Vol.30 No.4 (2009), pp.542-553
- [7] Sanjay Pithadia, "Smart Selection of ADC/DAC Enables Better Design of Software-Defined Radio", Texas Instruments Application Report SLAA407, April 2009.
- [8] J. Vankka, "Direct Digital Synthesizers: Theory, Design and Applications", Tese de Doutorado na Helsinki University of Technology, ISBN 951-22-5232-5, 2010
- [9] G. Popek, M. Kampik, "Low-Spur Numerically Controlled Oscillator Using Taylor Series Approximation", XI International PhD Workshop OWD 2009, p.30-33, October 2009
- [10] M. Pelgrom, "Analog to Digital Conversion", Springer, ISBN 978-90-481-8887-1, 2010
- [11] M. W. Hauser, "Principles of Oversampling A/D Conversion", J. Audio Eng Soc., Vol.39, No.1/2, 1991 January/Febr
- [12] S. Katz, J. Flynn, "Using software defined radio (SDR) to demonstrate concepts in communications and signal processing courses" Proceeding FIE'09 Proceedings of the 39th IEEE international conference on Frontiers in education conference, Pages 1432-1437, 2009.